

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Youichi TOBITA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: VOLTAGE GENERATING CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-140079	May 19, 2003
Japan	2003-419716	December 17, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 1 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 1 9 7 1 6
Application Number:

[ST. 10/C]: [J P 2 0 0 3 - 4 1 9 7 1 6]

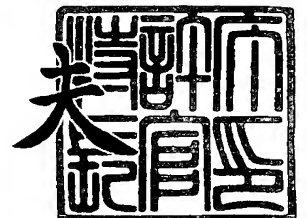
出 願 人 三 菱 電 機 株 式 有 限 公 司
Applicant(s):



2 0 0 4 年 1 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 544657JP02
【提出日】 平成15年12月17日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/34
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内
 【氏名】 飛田 洋一
【特許出願人】
 【識別番号】 000006013
 【氏名又は名称】 三菱電機株式会社
【代理人】
 【識別番号】 100064746
 【弁理士】
 【氏名又は名称】 深見 久郎
【選任した代理人】
 【識別番号】 100085132
 【弁理士】
 【氏名又は名称】 森田 俊雄
【選任した代理人】
 【識別番号】 100083703
 【弁理士】
 【氏名又は名称】 仲村 義平
【選任した代理人】
 【識別番号】 100096781
 【弁理士】
 【氏名又は名称】 堀井 豊
【選任した代理人】
 【識別番号】 100098316
 【弁理士】
 【氏名又は名称】 野田 久登
【選任した代理人】
 【識別番号】 100109162
 【弁理士】
 【氏名又は名称】 酒井 將行
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-140079
 【出願日】 平成15年 5月19日
【手数料の表示】
 【予納台帳番号】 008693
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0209961

【書類名】 特許請求の範囲**【請求項 1】**

所定の電圧が印加される基準電圧ノードと第 1 の内部ノードとの間に接続されかつその制御電極が第 2 の内部ノードに接続される第 1 導電型の第 1 のトランジスタ、

前記基準電圧ノードと前記第 2 の内部ノードとの間に接続されかつその制御電極が前記第 1 の内部ノードに接続される第 1 導電型の第 2 のトランジスタ、

プリチャージ用の第 1 の制御信号を受ける第 1 の入力ノードと前記第 1 の内部ノードとの間に接続される第 1 の容量素子、

電荷蓄積用の第 2 の制御信号を受ける第 2 の入力ノードと前記第 2 の内部ノードとの間に接続される第 2 の容量素子、

前記第 2 の内部ノードと出力ノードとの間に接続されかつその制御電極が第 3 の内部ノードに接続される第 2 導電型の第 3 のトランジスタ、

前記第 3 の内部ノードと電荷転送用の第 3 の制御信号を受ける第 3 の入力ノードとの間に接続される第 3 の容量素子、および

前記出力ノードと前記第 3 の内部ノードとの間に接続されかつその制御電極が前記第 2 の内部ノードに接続される第 2 導電型の第 4 のトランジスタを備える、電圧発生回路。

【請求項 2】

前記出力ノードと最終出力ノードとの間に接続され前記最終出力ノードに最終電圧を発生する少なくとも 1 段の電圧駆動段をさらに備え、

前記電圧駆動段は、

該電圧駆動段の入力ノードと該電圧駆動段の出力ノードとの間に接続されかつその制御電極が第 4 の内部ノードに接続される第 2 導電型の第 5 のトランジスタと、

前記電圧駆動段の入力ノードに結合される第 4 の容量素子とを備え、前記電圧駆動段が複数段配置されるとき、該接続系列において前記第 4 の容量素子には、前記第 1 および第 2 の制御信号が交互に与えられ、

前記第 4 の内部ノードと前記電圧駆動段の出力ノードとの間に接続されかつその制御電極が前記電圧駆動段入力ノードに接続される第 2 導電型の第 6 のトランジスタと、

前記第 4 の内部ノードに結合される第 5 の容量素子を備え、前記第 5 の容量素子には、前記電圧駆動段が複数段配列されるとき、該接続系列において第 4 の制御信号と前記第 3 の制御信号とが交互に与えられる、請求項 1 記載の電圧発生回路。

【請求項 3】

前記第 2 の制御信号は、前記第 1 の制御信号が第 1 の論理レベルから第 2 の論理レベルへ移行した後所定時間経過後に第 1 の論理レベルとなりかつ前記第 1 の制御信号が前記第 2 の論理レベルから前記第 1 の論理レベルへ移行する前に前記第 1 の論理レベルから前記第 2 の論理レベルへと移行し、

前記第 3 の制御信号は、前記第 2 の制御信号が前記第 1 の論理レベルへ移行した後所定時間経過後に前記第 1 の論理レベルから前記第 2 の論理レベルへと移行しかつ前記第 2 の制御信号の前記第 1 の論理レベルから前記第 2 の論理レベルへの移行前に前記第 2 の論理レベルから前記第 1 の論理レベルに移行し、

前記第 4 の制御信号は、前記第 1 の制御信号が第 1 の論理レベルにありかつ前記第 2 の制御信号が第 2 の論理レベルにあるとき前記第 2 の制御信号の前記第 2 の論理レベルへの移行後所定時間経過後に前記第 1 の制御信号が前記第 2 の論理レベルへ移行する前に所定時間の間前記第 2 の論理レベルとなる、請求項 2 記載の電圧発生回路。

【請求項 4】

前記少なくとも 1 段の電圧駆動段は、複数の縦続接続される電圧駆動段を含む、請求項 2 記載の電圧発生回路。

【請求項 5】

プリチャージ電圧を供給するプリチャージ電圧供給ノードと第 1 の内部ノードとの間に接続されかつその制御電極が第 2 の内部ノードに接続される第 1 のトランジスタ、

プリチャージ用の第 1 の制御信号を受ける第 1 の入力ノードと前記第 2 の内部ノードと

の間に接続される第1の容量素子、

前記第1の内部ノードと前記第2の内部ノードとの間に接続されかつその制御電極が電荷蓄積用の第2の制御信号を受ける第2の入力ノードに接続される第2のトランジスタ、

前記第1の内部ノードと出力ノードとの間に接続されかつその制御電極が第3の内部ノードに接続される第3のトランジスタ、

前記出力ノードと前記第3の内部ノードとの間に接続されかつその制御電極が前記第1の内部ノードに接続される第4のトランジスタ、

第2の電荷プリチャージ用の第3の制御信号を受ける第3の入力ノードと前記第1の内部ノードとの間に接続される第2の容量素子、および

電荷転送用の第4の制御信号を受ける第4の入力ノードと前記第3の内部ノードとの間に接続される第3の容量素子を備える、電圧発生回路。

【請求項6】

前記プリチャージ電圧供給ノードには、所定の電圧レベルの一定電圧が印加される、請求項5記載の電圧発生回路。

【請求項7】

前記プリチャージ電圧供給ノードには、前記第2の制御信号が印加される、請求項5記載の電圧発生回路。

【請求項8】

前記第2の制御信号が第1の論理レベルのときに前記第3の制御信号が所定期間第2の論理レベルとなり、前記第3の制御信号が第2の論理レベルのときに前記第4の制御信号が所定期間第1の論理レベルとなり、

前記第2の制御信号が第2の論理レベルのときに前記第1の制御信号が第1の論理レベルとなって前記第1の内部ノードのプリチャージが実行される、請求項5記載の電圧発生回路。

【請求項9】

前記出力ノードと最終出力ノードとの間に接続され、前記最終出力ノードに最終電圧を発生する少なくとも1段の電圧駆動段をさらに備え、

前記電圧駆動段は、

該電圧駆動段の入力ノードと該電圧駆動段の出力ノードとの間に接続され、かつその制御電極が第4の内部ノードに接続される第5のトランジスタと、

前記電圧駆動段の入力ノードに結合される第4の容量素子と、

前記第4の内部ノードと前記電圧駆動段の出力ノードとの間に接続されかつその制御電極が前記電圧駆動段の入力ノードに接続される第6のトランジスタとを備え、

前記電圧駆動段が複数段縦続接続されるときには、該接続系列において前記第3の容量素子には前記第2の制御信号と前記第3の制御信号とが交互に与えられ、かつ前記第4の容量素子には、前記第1の制御信号と前記第4の制御信号が交互に印加される、請求項5記載の電圧発生回路。

【請求項10】

前記第1の制御信号は、前記第2の制御信号が第1の論理レベルから第2の論理レベルへ移行した後所定時間経過後に所定期間第1の論理レベルとなり、前記第2の制御信号は前記第1の制御信号が第1の論理レベルから第2の論理レベルへの移行後に第2の論理レベルから第1の論理レベルに移行し、

前記第3の制御信号は、前記第2の制御信号が第1の論理レベルへ移行した後所定期間第2の論理レベルとなり、前記第2の制御信号は前記第3の制御信号が第1の論理レベルに移行した後に第2の論理レベルとなり、

前記第4の制御信号は、前記第3の制御信号が第2の論理レベルへ移行した後に所定期間第1の論理レベルとなり、前記第3の制御信号は前記第4の制御信号が第2の論理レベルへ移行した後に第1の論理レベルへ移行する、請求項9記載の電圧発生回路。

【請求項11】

前記出力ノードから内部回路へ与えられる内部電圧が発生され、

前記電圧発生回路は、さらに、前記出力ノードに接続される容量を備える、請求項 1 または 5 記載の電圧発生回路。

【請求項 1 2】

前記最終出力ノードからの最終電圧が内部回路へ与えられ、

前記電圧発生回路は、前記最終出力ノードに接続される容量をさらに備える、請求項 2 または 9 記載の電圧発生回路。

【書類名】明細書

【発明の名称】電圧発生回路

【技術分野】

【0001】

この発明は、所望の電圧レベルの内部電圧を発生する電圧発生回路に関し、特に、容量素子のチャージポンプ動作を利用して効率的に内部電圧を発生する電圧発生回路の構成に関する。

【背景技術】

【0002】

半導体装置においては、種々の電圧レベルの内部電圧が用いられることが多い。たとえば、DRAM（ダイナミック・ランダム・アクセス・メモリ）においては、メモリセルアレイの基板領域を一定電圧にバイアスするために負電圧が用いられ、また、選択ワード線へは電源電圧よりも高い正の高電圧が伝達される。また、不揮発性メモリにおいても、データの書換のためには負電圧および高電圧が用いられる。

【0003】

このような電源電圧とレベルの異なる電圧を外部から供給する場合、システム規模が増大し、またシステム全体の消費電力も増大する。また、半導体装置においても、そのような電圧を受けるための専用のピン端子が必要とされ、サイズが増大する。

【0004】

このような観点から、必要なレベルの電圧を半導体装置内部で発生することが一般に行なわれる。このような内部電圧を発生する回路の一例は、たとえば特許文献1（特開平4-372792号公報）に示されている。

【0005】

この特許文献1に示される内部電圧発生回路は、容量素子のチャージポンプ動作を利用して負電圧を発生する。この特許文献1の内部電圧発生回路の構成においては、充電用容量素子のチャージポンプ動作により電荷を蓄積するノードを、制御用容量素子の容量結合により放電制御トランジスタをオン状態として接地電圧レベルに放電する。この後、電荷蓄積ノードから、充電用容量素子のチャージポンプ動作により電荷を引抜き負電圧レベルに駆動する。電荷蓄積ノードを、電源電圧の振幅で変化させる。この電荷蓄積ノードの負電荷を出力トランジスタを介して出力ノードに供給することにより、 $-V_{CC}$ レベルの負電圧を供給する。ここで $-V_{CC}$ は電源電圧を示す。

【0006】

出力トランジスタのゲートの電位は、電荷蓄積ノードがゲートに接続される出力制御トランジスタにより、接地電圧GNDと負電圧 $-V_{CC}$ の間で変化する。

【0007】

この特許文献1においては、電荷蓄積ノードを V_{CC} 振幅で変化させることにより、低電源電圧下においても十分な電圧レベルの負電圧を発生することを図る。

【特許文献1】特開平4-372792号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

容量素子のチャージポンプ動作を利用して内部電圧を発生する場合、半導体装置の消費電力の観点から、効率的に、チャージポンプ動作により生成された電荷を出力ノードへ転送して内部電圧を発生することが要求される。

【0009】

上述の特許文献1の構成においては $-V_{CC}$ の振幅で電荷蓄積ノードの電圧レベルを変化させるために、電荷蓄積ノードを放電制御トランジスタにより接地電圧レベルにプリチャージし、その後、充電用容量素子によるチャージポンプ動作により電荷蓄積ノードを $-V_{CC}$ の電圧レベルにまで低下させる。このときに、放電制御トランジスタをオフ状態とするために、第2の制御トランジスタが導通して電荷蓄積ノードを放電制御トランジスタ

のゲートに接続する第2の制御トランジスタが配置される。この第2の制御トランジスタは、電荷蓄積ノードの電圧が $-V_{th}$ 以下に低下するとオン状態となって放電制御トランジスタのゲートと電荷蓄積ノードとを電氣的に接続する。ここで、 V_{th} は、第2の制御トランジスタのしきい値電圧を示す。

【0010】

しかしながら、この放電制御トランジスタをオン状態とするために、制御信号を受ける容量素子が接続されている。従って、この放電制御トランジスタのゲート電位は、第2の制御トランジスタのオン抵抗と放電制御トランジスタのゲートに存在する容量とにより決定される時定数で変化する。このため、放電制御トランジスタがオフ状態となるまでには、ある時間が必要となる。したがって、この放電制御トランジスタが、電荷蓄積ノードの電圧レベルが $-V_{CC}$ のときにオン状態となる期間があり、電荷蓄積ノードへ接地ノードから電流が流れ、充電用容量素子によるチャージポンプによる電荷引抜動作が阻害され、無駄な電流が消費される。

【0011】

また、この電荷蓄積ノードを接地電圧レベルにプリチャージする場合、出力トランジスタがオフ状態となっていないと、負電位レベルの出力ノードへ出力トランジスタを介してプリチャージされた電荷が供給され、負電位の電圧レベルが上昇する。この出力トランジスタのオン/オフの制御のために、放電制御トランジスタのオン/オフ制御と同様の構成の出力制御トランジスタが用いられており、したがって、この電荷蓄積ノードの電圧レベルを接地電圧レベルにプリチャージする際、同様、出力トランジスタがオン状態となる期間が存在し、無駄な電流が消費される。

【0012】

上述のように、この特許文献1の構成の場合、容量素子のチャージポンプ動作により生成された電荷が無駄に消費され、所望のレベルの電圧を効率的に低消費電力で発生することができないという問題がある。

【0013】

それゆえ、この発明の目的は、効率的に電荷を利用して所望のレベルの電圧を発生することのできる電圧発生回路を提供することである。

【課題を解決するための手段】

【0014】

この発明の第1の観点に係る電圧発生回路は、所定の電圧が印加される基準電圧ノードと第1の内部ノードとの間に接続されかつその制御電極が第2の内部ノードに接続される第1導電型の第1のトランジスタと、基準電圧ノードと第2の内部ノードとの間に接続されかつその制御電極が第1の内部ノードに接続される第1導電型の第2のトランジスタと、プリチャージ用の第1の制御信号を受ける第1の入力ノードと第1の内部ノードとの間に接続される第1の容量素子と、電荷蓄積用の第2の制御信号を受ける第2の入力ノードと第2の内部ノードとの間に接続される第2の容量素子と、第2の内部ノードと出力ノードとの間に接続されかつその制御電極が第3の内部ノードに接続される第2導電型の第3のトランジスタと、第3の内部ノードと電荷転送用の第3の制御信号を受ける第3の入力ノードとの間に接続される第3の容量素子と、出力ノードと第3の内部ノードとの間に接続されかつその制御電極が第2の内部ノードに接続される第2導電型の第4のトランジスタを備える。

【0015】

この発明の別の観点に係る電圧発生回路は、プリチャージ電圧を供給するプリチャージ電圧供給ノードと第1の内部ノードとの間に接続されかつその制御電極が第2の内部ノードに接続される第1のトランジスタと、プリチャージ用の第1の制御信号を受ける第1の入力ノードと第2の内部ノードとの間に接続される第1の容量素子と、第1の内部ノードと第2の内部ノードとの間に接続されかつその制御電極が電荷蓄積用の第2の制御信号を受ける第2の入力ノードに接続される第2のトランジスタと、第1の内部ノードと出力ノードとの間に接続されかつその制御電極が第3の内部ノードに接続される第3のトランジ

スタと、出力ノードと第3の内部ノードとの間に接続されかつその制御電極が第1の内部ノードに接続される第4のトランジスタと、第2の電荷プリチャージ用の第3の制御信号を受ける第3の入力ノードと第1の内部ノードとの間に接続される第2の容量素子と、電荷転送用の第4の制御信号を受ける第4の入力ノードと第3の内部ノードとの間に接続される第3の容量素子を備える。

【0016】

第1の観点に係る電圧発生回路においては、第1および第2のトランジスタを交差結合することにより、第1および第2のトランジスタを最適タイミングでオン／オフ状態として、第1および第2の内部ノードの電圧を高速で変化させて、その電圧レベルを維持することができる。したがって、電荷蓄積ノードとして作用する第2の内部ノードの電圧変化時に第2のトランジスタをオフ状態とした後に、第2の内部ノードへチャージポンプ動作を行なうことにより、第2の内部ノードに不要な電流が流れるのを防止することができる。

【0017】

別の観点に係る電圧発生回路においては第1の内部ノードがプリチャージ電圧によりプリチャージされ、また、第2の容量素子を介して第3の制御信号が結合される。さらに、第1の内部ノードには、第4のトランジスタの制御電極が接続される。したがって、各トランジスタの制御電極へは、容量素子を介してこのチャージポンプ動作により導通／非導通状態を個別に制御することができ、無効電流が流れるのを抑制することができ、効率的に電荷を使用して所望のレベルの内部電圧を生成することができる。

【発明の効果】

【0018】

この発明に従えば、トランジスタそれぞれのゲート電位を容量素子のチャージポンプ動作により制御して内部電圧発生のための電荷を発生しており、トランジスタの導通／非導通を個々に正確に制御して内部電圧発生のための電荷を生成しており、無効電流が流れるのを抑制することができ、効率的に電荷を使用して所望のレベルの内部電圧を低消費電力で生成することができる。

【発明を実施するための最良の形態】

【0019】

【実施の形態1】

図1は、この発明の実施の形態1に従う電圧発生回路の構成を示す図である。この図1に示す電圧発生回路は、基準電位よりも低い電圧である負電圧を発生する。ここで、基準電位として接地電位GNDを用い、チャージポンプ動作制御用の信号は、接地電圧と電源電圧VCCの間で変化するため、 $-VCC$ の負電圧が生成される。

【0020】

図1において、電圧発生回路は、内部ノードND1と基準電位ノード（以下、接地ノードと称す）GGの間に接続されかつそのゲートが内部ノードND2に接続されるPチャネルMOSトランジスタ（絶縁ゲート型電界効果トランジスタ）PQ1と、内部ノードND2と接地ノードGGとの間に接続されかつそのゲートが内部ノードND1に接続されるPチャネルMOSトランジスタPQ2と、プリチャージ用制御信号 ϕ_P を受ける制御信号入力ノードS1と内部ノードND1の間に接続される容量素子C1と、電荷蓄積用の制御信号 ϕ_{CP} を受ける制御信号入力ノードS2と内部ノードND2の間に接続される容量素子C2を含む。

【0021】

MOSトランジスタPQ1およびPQ2が、それぞれ、第1および第2のトランジスタに対応し、容量素子C1およびC2がそれぞれ、第1および第2の容量素子に対応する。制御信号 ϕ_P および ϕ_{CP} が、それぞれ、第1および第2の制御信号に対応する。内部ノードND1およびND2が、それぞれ、第1および第2の内部ノードに対応する。

【0022】

電圧発生回路は、さらに、内部ノードND2と出力ノードOD1の間に接続されかつそ

のゲートが内部ノードND3に接続されるNチャネルMOSトランジスタNQ1と、内部ノードND3と出力ノードOD1の間に接続されかつそのゲートが内部ノードND2に接続されるNチャネルMOSトランジスタNQ2と、電荷転送用の制御信号 ϕ_{CT} を受ける制御信号入力ノードS3と内部ノードND3の間に接続される容量素子C3を含む。

【0023】

MOSトランジスタNQ1およびNQ2が、それぞれ、第3および第4のトランジスタに対応し、容量素子C3が第3の容量素子に対応し、制御信号 ϕ_{CT} が第3の制御信号に対応する。

【0024】

出力ノードOD1と接地ノードの間には、容量素子C4が接続される。この容量素子C4は、出力負荷の変動に対して出力電圧 $-V_{CC}$ を安定化するための容量であり、この出力負荷の変動が小さく、出力電圧 $-V_{CC}$ の変動が小さい場合には、この安定化容量C4は、特に設ける必要はない。この出力ノードOD1の電圧が、図示しない内部回路へ印加される。

【0025】

制御信号 ϕ_P 、 ϕ_{CP} および ϕ_{CT} が、それぞれ、接地電圧GNDと電源電圧 V_{CC} の間で変化する。

【0026】

図2は、図1に示す電圧発生回路の動作を示すタイミング図である。この図2においては、説明を簡略化するために、出力ノードOD1の電圧が、所定の電圧 $-V_{CC}$ レベルに到達しているときの動作波形を示す。以下、図2を参照して、図1に示す電圧発生回路の動作について説明する。

【0027】

制御信号 ϕ_P 、 ϕ_{CP} および ϕ_{CT} が、周期Tで変化する。図2においては、 $2 \cdot T$ の期間の信号波形を示す。

【0028】

時刻t0において、制御信号 ϕ_P が接地電圧GNDレベル、制御信号 ϕ_{CP} が電源電圧 V_{CC} レベル、および制御信号 ϕ_{CT} が接地電圧GNDレベルの状態にある。この状態においては、容量素子C1の電荷引抜動作により、ノードND1の電圧レベルは $-V_{CC}$ であり、一方、ノードND2は、容量素子C2の電荷供給動作により、接地電圧GNDレベルにある。

【0029】

PチャネルMOSトランジスタPQ1は、ノードND1が、ドレインノードとなり、接地ノードGGがソースノードとなる。このpチャネルMOSトランジスタPQ1は、エンハンスメント型トランジスタであり、所定の大きさのしきい値電圧を有している。したがって、PチャネルMOSトランジスタPQ1は、そのゲートおよびソースが同電位であり、オフ状態を維持するため、ノードND1と接地ノードGGの間には電流は、流れない。

【0030】

MOSトランジスタPQ2においては、そのゲート電位は負電位 $-V_{CC}$ であり、そのドレイン（ノードND2）とソース（接地ノード）の電位が等しいため、MOSトランジスタPQ2のドレインーソース間に電流は流れない。

【0031】

NチャネルMOSトランジスタNQ1に関しては、ノードND2が接地電圧GNDレベル、出力ノードOD1が負電圧 $-V_{CC}$ であり、ノードND3が負電圧 $-V_{CC}$ レベルである。このNチャネルMOSトランジスタNQ1は、エンハンスメント型トランジスタであり、一定の大きさのしきい値電圧を有しており、ゲートおよびソース電位が等しい状態においてオフ状態を維持する。

【0032】

NチャネルMOSトランジスタNQ2は、そのゲート電位が、ノードND2の電圧、すなわち接地電圧GNDレベルであり、ノードND3および出力ノードOD1の電位レベル

が等しく、このMOSトランジスタNQ2においてもドレインとソースは電位が等しく、そのドレイン-ソース間に電流は流れない。この制御信号 ϕP により、MOSトランジスタPQ2を導通状態として、ノードND2を接地電圧レベルにプリチャージする。チャージポンプ動作初期時には、ノードND2のプリチャージ電圧レベルを接地電圧方向に低下させる。

【0033】

時刻 t_1 において、制御信号 ϕP が接地電圧GNDレベルから電源電圧VCCレベルに変化すると、ノードND1が、容量素子C1のチャージポンプ動作により、その電圧レベルが負電圧 $-VCC$ レベルから接地電圧GNDレベルに上昇する。安定状態においては、MOSトランジスタPQ1のドレインおよびソースの電圧レベルが等しく、MOSトランジスタPQ1においては電流は流れない。

【0034】

チャージポンプ動作初期の過渡時には、ノードND1の電圧レベルは、接地電圧GND以上であり、MOSトランジスタPQ1は、ノードND1がソースとなり、接地ノードがドレインとなる。しかしながら、ノードND2の電圧レベルがこのときに同様高く、このMOSトランジスタPQ1は、エンハンスメント型トランジスタであり、ゲートおよびソースの電位差がしきい値電圧の絶対値以下であり、非導通状態を維持し、このMOSトランジスタPQ1のドレイン-ソース間には電流は流れない。

【0035】

また、MOSトランジスタPQ2においても、ノードND2が接地電圧GNDレベルであるため、そのドレインおよびソース電位は等しく、ノードND1の電圧レベルが、負電圧 $-VCC$ から接地電圧GNDレベルに上昇しても、このMOSトランジスタPQ2のドレイン-ソース間には電流が流れない。この制御信号 ϕP を立ち上げることにより、MOSトランジスタPQ2を非導通状態として、次のノードND2のチャージポンプ動作に備える。

【0036】

また、ノードND2は接地電圧GNDレベルを維持しており、ノードND3は、負電圧レベルである。この状態では、MOSトランジスタNQ2が導通して、出力ノードOD1が内部ノードND3と電氣的に接続され、内部ノードND3の電圧レベルが出力ノードOD1の電圧レベルと等しくなる。これにより、MOSトランジスタNQ1を確実に非導通状態に維持する。内部ノードND3および出力ノードOD1の電圧レベルが等しくなると、MOSトランジスタNQ2を介して流れる電流は停止する。

【0037】

また、この内部ノードND3と出力ノードOD1の電圧レベルを等しくする事により、内部ノードND2を負電圧レベルに駆動してMOSトランジスタNQ1のソースが、内部ノードND2となる場合においても、そのゲート-ソース間電圧をしきい値電圧以下に維持し、電荷転送前にエンハンスメント型MOSトランジスタNQ1が導通するのを防止する。チャージポンプ動作の開始時には、内部ノードND2を負電圧レベルに駆動したときには、内部ノードND3の電圧レベルが高く、MOSトランジスタNQ1が導通することがある。しかしながら、このときには、単に制御信号 ϕCT を発生する前に負電荷が出力ノードOD1へ転送されるだけであり、出力電圧を低下させるために電荷が利用されており、電荷は有効に利用される。

【0038】

時刻 t_2 において、制御信号 ϕCP が電源電圧VCCレベルから接地電圧GNDレベルに低下し、容量素子C2のチャージポンプ動作により、ノードND2の電圧レベルが低下する。このとき、MOSトランジスタPQ1は、ノードND2が接地電圧GNDから負電圧へ変化しても、そのドレインおよびソースがともに接地電圧GNDレベルであり、MOSトランジスタPQ1のドレイン-ソース間には電流は流れない。

【0039】

MOSトランジスタPQ2は、ノードND2がドレインとして作用するため、そのゲー

トおよびソース（接地ノード）がともに接地電圧のレベルにあり、MOSトランジスタPQ2は、エンハンスメント型トランジスタであり、ゲートソース間電圧は、そのしきい値電圧の絶対値よりも小さいため、非導通状態を維持する。したがって、このノードND2は、容量素子C2のチャージポンプ動作により、負電圧 $-V_{CC}$ レベルにまで低下する。このとき、ノードND3は、負電圧 $-V_{CC}$ レベルであり、MOSトランジスタNQ1は、そのソースが出力ノードOD1であり、ゲートおよびソース電位が等しく、非導通状態を維持する。

【0040】

ノードND2が負電圧レベルに駆動されると、出力ノードOD1の電圧レベルよりもノードND2の電圧レベルが低い状態となる。ノードND3の電圧は出力ノードの電圧レベルであり、制御信号 ϕ_{CT} が接地電圧レベルのときには、MOSトランジスタNQ1はエンハンスメント型トランジスタであり、過渡時および安定時において、そのゲートソース間電圧は、しきい値電圧よりも小さく、非導通状態を維持し、正確にノードND2を負電圧レベルに駆動することが出来る。

【0041】

なお、過渡時においてノードND2が負電圧レベルに駆動されるとき、ノードND1の電圧レベルが接地電圧よりも高いときには、MOSトランジスタPQ1が導通して、ノードND1の電圧レベルを低下させる。

【0042】

このノードND2へのチャージポンプ動作時においては、従って、ノードND2の電圧レベルに悪影響を及ぼす無効な電流が流れる経路は存在せず、有効に電荷を使用してノードND2を負電圧 $-V_{CC}$ レベルに設定することができる。

【0043】

また、MOSトランジスタNQ2においても、このドレインおよびソースが同一電圧レベルの負電圧 $-V_{CC}$ レベルであり、ドレインソース間には電流は流れない。

【0044】

時刻t3において、制御信号 ϕ_{CT} を接地電圧GNDレベルから電源電圧 V_{CC} レベルに上昇させる。このとき、制御信号 ϕ_P は電源電圧 V_{CC} レベルであり、制御信号 ϕ_{CP} は、接地電圧GNDレベルである。この状態において、ノードND3が、容量素子C3のチャージポンプ動作により、その電圧レベルが負電圧 $-V_{CC}$ から接地電圧GNDレベルへ上昇する。ノードND2は、負電圧 $-V_{CC}$ レベルであるため、MOSトランジスタNQ1が導通し、ノードND2と出力ノードOD1が結合される。この出力ノードOD1の電圧レベルが負電圧 $-V_{CC}$ よりも高い場合には、出力ノードOD1からノードND2へ負電荷が移動し、出力ノードOD1はノードND2と等しい電圧レベルとなる。すなわち、安定化時においては、出力ノードOD1の電圧レベルは、 $-V_{CC}$ である。この場合においても、MOSトランジスタNQ2においては、ゲートおよびソースが同じ電圧レベルとなり、非導通状態を維持し、MOSトランジスタNQ2においてドレインソース間に電流は流れない。

【0045】

チャージポンプ開始時等の過渡時においても、MOSトランジスタNQ2においては、内部ノードND3がドレインとなり、電荷転送開始時においては、ゲートの電位がソース電位よりも低いいため、非導通状態を維持し、電荷転送動作により、ゲートおよびソースが同一電位となっても、そのしきい値電圧により、非導通状態を維持して、電荷転送動作に対しては悪影響は及ぼさない。

【0046】

これにより、ノードND3を制御信号 ϕ_{CT} に従って電源電圧レベルに駆動して、効率的に、出力ノードOD1へ負電荷を供給して、所望の電圧レベルの負電圧 $-V_{CC}$ を生成することができる。

【0047】

時刻t4において、制御信号 ϕ_{CT} が電源電圧 V_{CC} レベルから接地電圧GNDレベル

に低下し、ノードND3が、接地電圧GNDレベルから負電圧VCCに低下する。このMOSトランジスタNQ1のソースノード（ノードND2）の最低電位は負電圧-VCCであり、MOSトランジスタNQ1は確実に非導通状態となる。

【0048】

MOSトランジスタNQ2においては、そのドレインおよびソースの電圧が負電圧-VCCであり、電流は、このMOSトランジスタNQ2を介しては流れない。

【0049】

チャージポンプ開始時の過渡時において、ノードND2およびOD1が、負電圧-VCCよりも高い電圧レベルのとき、ノードND3は、先のサイクルの出力ノードOD1の電圧レベルに復帰するだけであり、MOSトランジスタNQ2のソースが出力ノードOD1であり、そのゲートおよびソースの電位が等しく非導通状態を維持する。MOSトランジスタNQ1において、たとえ導通状態となっても、そのソースおよびドレインとなる出力ノードOD1および内部ノードND2の電圧レベルは等しく電流は流れない。過渡時においては、ノードND3の復帰電圧レベルは、MOSトランジスタNQ1が、非導通状態に設定される電圧レベルである。したがって、過渡時においても、何ら無駄な電荷の消費は生じない。

【0050】

時刻t5において、制御信号φCPを接地電圧GNDレベルから電源電圧VCCレベルに上昇させる。このとき、制御信号φPは、電源電圧VCCレベルである。制御信号φCTは、接地電圧GNDレベルである。この制御信号φCPの上昇に従って、容量素子C2のチャージポンプ動作により、ノードND2の電圧レベルが負電圧-VCCから接地電圧GNDレベルへ上昇する。このとき、MOSトランジスタPQ1においては、ドレインおよびソースがともに接地電圧GNDレベルであり、そのゲート電位の上昇により非導通状態となり、このMOSトランジスタPQ1においては電流は流れない。

【0051】

また、MOSトランジスタPQ2においては、ノードND2の電圧レベルが負電圧-VCCから接地電圧GNDレベルへ上昇するだけであり、ノードND2の電圧レベルは接地電圧GND以下であり、MOSトランジスタPQ2においては接地ノードがソースとして機能し、非導通状態を維持する。

【0052】

このノードND2の電位上昇時において、チャージポンプ開始時などの過渡状態時には、接地電圧GNDレベルよりも高い状態に維持されることが考えられる（ノードND2がソースとして機能する）。この場合、制御信号φPの立下げにより、MOSトランジスタPQ2を導通状態に設定するため、ノードND2は確実に接地電圧レベル方向に放電されるために、特に問題は生じない。

【0053】

この時刻t5において、ノードND2の電圧レベルが、接地電圧レベルに上昇しても、ノードND3は、負電圧-VCCレベルであり、MOSトランジスタNQ1は非導通状態を維持する。MOSトランジスタNQ2が導通状態となっても、内部ノードND3の電圧レベルは、出力ノードOD1の負電圧-VCCの電圧レベルと等しいため、MOSトランジスタNQ2は、そのゲートおよびソースの電圧が等しく、非導通状態を維持し、そのドレイン-ソース間には電流は流れない。

【0054】

時刻t6において制御信号φPを接地電圧GNDレベルに低下させると、容量素子C1により、ノードND1の電圧レベルが、接地電圧GNDレベルから負電圧-VCCレベルに低下する。このノードND1の電圧低下により、MOSトランジスタPQ2が導通し、ノードND2は確実に、接地電圧GNDレベルに設定される。

【0055】

過渡期において、ノードND2の電圧レベルが、接地電圧GNDレベルよりも高い電圧レベルに駆動される場合においても、確実に、このノードND2電圧レベルを低下させる

ことが出来、次のサイクルにおいて、さらにノードND2の電圧レベルを制御信号 ϕ_{CP} に従って低下させることが出来、出力電圧レベルを低下させることができる。

【0056】

このノードND2の電位低下時において、MOSトランジスタPQ1においては、接地ノードがソースとして機能するため、ゲートおよびソースが同一電位となり、MOSトランジスタPQ1は、非導通状態を維持する。

【0057】

時刻t8において、1つのチャージポンプ動作の周期Tが完了し、上述の時刻t0からの動作が再び繰返される。

【0058】

したがって、この図1に示す電圧発生回路においては、チャージポンプ動作時、無効な電流が流れず、効率的に電荷を利用して所望のレベルの内部電圧を発生することができる。

【0059】

また、MOSトランジスタPQ1およびPQ2を交差結合して、それらのゲート電位を個々に容量素子のチャージポンプ動作により設定しており、これらのMOSトランジスタPQ1およびPQ2を非導通状態に設定した後に、制御信号に従って、ノードND1およびND2の電圧レベルを、高速かつ確実に変化させることができる。

【0060】

なお、上述の説明においては、説明を簡略化するために、内部ノードND2の寄生容量の効果は無視している。この内部ノードND2に無視できない大きさの寄生容量が存在する場合、ノードND2の電圧振幅が、電源電圧VCCよりも小さくなるため、出力ノードOD1の出力電圧の絶対値が小さくなる。

【0061】

また、内部ノードND2の電圧振幅を決定する制御信号 ϕ_{CP} を、電源電圧VCCと接地電圧GNDの間で変化させている。しかしながら、基準電圧を接地電圧GNDでなく、電圧Vrとし、制御信号 ϕ_{CP} の電圧振幅をV ϕ とすると、出力ノードOD1の出力電圧VOOUTは、次式(1)で表わされる。

【0062】

$$VOOUT = V_r - V_{\phi} \quad \dots (1)$$

通常、前述の動作説明のように、基準電圧Vrは接地電圧GND(=0V)に等しく、また制御信号 ϕ_{CP} は、電源電圧VCCと接地電圧GNDを動作電源電圧として使用する回路から生成されるため、電圧振幅V ϕ を電源電圧VCCに等しいとすると、上式(1)は次式(2)に変形される。

【0063】

$$VOOUT = -VCC \quad \dots (2)$$

さらに、上述の説明において、制御信号 ϕ_P 、 ϕ_{CP} および ϕ_{CT} をすべて、電源電圧VCCと接地電圧GNDとの間で変化させており、それらのハイレベルおよびローレベルの電圧レベルは等しく設定されている。しかしながら、内部ノードND1、ND2およびND3の電圧変化時に、その電圧変化と逆方向の電流が流れるのを防止するようにMOSトランジスタPQ1、PQ2、NQ1およびNQ2を非導通状態に設定するという条件が満足されれば、これらの制御信号 ϕ_P 、 ϕ_{CP} および ϕ_{CT} のそれぞれのハイレベルおよびローレベルの電圧レベルは互いに異なってもよい。

【0064】

以上のように、この発明の実施の形態1に従えば、交差結合されたPチャネルMOSトランジスタを用い、これらのゲートノード電位を、容量素子のチャージポンプ動作により決定している。また、出力トランジスタの導通/非導通状態の設定は、制御信号により行なっており、電荷蓄積ノードの電位変化時、不要な電流が流れるのを防止することができ、効率的に所望のレベルの電圧を生成することができる。

【0065】

〔実施の形態 2〕

図 3 は、この発明の実施の形態 2 に従う電圧発生回路の構成を示す図である。この図 3 に示す電圧発生回路は、電源電圧 VCC を基準電圧として、この電源電圧 VCC よりも高い $2 \cdot VCC$ の高電圧を発生する。

【0066】

図 3 において、電圧発生回路は、電源ノード（基準ノード） PW と内部ノード（第 1 の内部ノード） $ND11$ の間に接続されかつそのゲートが内部ノード（第 2 の内部ノード） $ND12$ に接続される N チャネル MOS トランジスタ $NQ11$ と、電源ノード PW と内部ノード $ND12$ の間に接続されかつそのゲートが内部ノード $ND11$ に接続される N チャネル MOS トランジスタ $NQ12$ と、第 1 の制御信号 ϕ_{PZ} を受ける制御信号入力ノード（第 1 の制御信号入力ノード） $S11$ と内部ノード $ND11$ の間に接続される容量素子（第 1 の容量素子） $C11$ と、制御信号 ϕ_{CPZ} を受ける制御信号入力ノード（第 2 の制御信号入力ノード） $S12$ と内部ノード $ND12$ の間に接続される容量素子（第 2 の容量素子） $C12$ を含む。

【0067】

制御信号 ϕ_{PZ} および ϕ_{CPZ} は、電源電圧 VCC と接地電圧 GND の間で変化する。

【0068】

電圧発生回路は、さらに、内部ノード $ND12$ と出力ノード $OD11$ の間に接続されかつそのゲートが内部ノード（第 3 の内部ノード） $ND13$ に接続される P チャネル MOS トランジスタ（第 3 のトランジスタ） $PQ11$ と、内部ノード $ND13$ と出力ノード $OD11$ の間に接続されかつそのゲートが内部ノード $ND12$ に接続される P チャネル MOS トランジスタ（第 4 のトランジスタ） $PQ12$ と、制御信号 ϕ_{CTZ} を受ける制御信号入力ノード（第 3 の制御信号入力ノード） $S13$ と内部ノード $ND13$ の間に接続される容量素子（第 3 の容量素子） $C13$ を含む。

【0069】

上述の説明において、括弧内の構成要素は、請求項に記載された要素との対応関係を示す。また、制御信号 ϕ_{CTZ} は、電源電圧 VCC と接地電圧 GND との間で変化する。

【0070】

出力ノード $OD11$ には、この出力ノード $OD11$ の電圧を安定化させるための安定化容量 $C14$ が設けられる。この安定化容量 $C14$ は、出力ノード $OD11$ の負荷変動が小さい場合には、特に設ける必要はない。

【0071】

この図 3 に示す電圧発生回路は、図 1 に示す電圧発生回路のトランジスタの導電型を反対にし、かつ接地ノードを電源ノードに入換えたものと等価である。制御信号 ϕ_{PZ} 、 ϕ_{CP} および ϕ_{CT} は、それぞれ、図 1 に示す制御信号 ϕ_P 、 ϕ_{CPZ} および ϕ_{CTZ} と相補な信号である。

【0072】

図 4 は、図 3 に示す電圧発生回路の動作を示す信号波形図である。図 4 においても、説明を簡単にするために、出力電圧が $2 \cdot VCC$ の電圧レベルにある安定状態時の信号波形を示す。以下、図 4 を参照して、図 3 に示す電圧発生回路の動作について説明する。

【0073】

この図 3 に示す電圧発生回路においては、前述のごとく、図 1 に示す負電圧 $-VCC$ を発生する回路の信号極性およびトランジスタの導電型が逆にされている。したがって、同様の動作が行なわれる。すなわち、無効電流が流れるのが防止される。

【0074】

時刻 t_0 において、制御信号 ϕ_{PZ} が電源電圧 VCC レベル、制御信号 ϕ_{CPZ} が接地電圧 GND レベル、または、制御信号 ϕ_{CTZ} が電源電圧 VCC レベルである。この状態において、ノード $ND11$ が、高電圧 $2 \cdot VCC$ の電圧レベルにあり、ノード $ND12$ が、電源電圧 VCC レベルである（安定状態時）。MOS トランジスタ $NQ11$ は、ソースが電源ノード PW であり、そのゲートおよびソース電圧が等しいため、非導通状態にある

【0075】

MOSトランジスタNQ12は、ゲート電位が高電圧2・VCCであっても、そのノードND12および電源ノードPWの電圧レベルが等しく、MOSトランジスタNQ12のドレイン-ソース間には電流は流れない。

【0076】

ノードND13は、高電圧2・VCCレベルであり、MOSトランジスタPQ11は、そのゲート電位がソースおよびドレイン電位以上であるため、非導通状態を維持する。MOSトランジスタPQ12は、出力電圧の安定化時、ノードND12が電源電圧VCCレベルであり、導通状態とされ、一方、ノードND13と出力ノードOD11の電圧レベルは等しいため、このMOSトランジスタPQ12においても電流は流れない。

【0077】

チャージポンプ動作開始時等の過渡状態時において、出力ノードOD11の電圧が、最終電圧2・VCCレベルよりも低い場合において、ノードND12の電圧レベルが、ノードND13および出力ノードOD11の電圧レベルよりも低くなる状態となると、MOSトランジスタPQ12が導通状態となり、ノードND13と出力ノードOD11とを電気的に接続する。しかしながら、この場合、出力ノードOD11の電圧レベルを上昇させる方向に電流が流れるために、出力ノードOD11の電圧上昇を妨げる無効電流は何ら流れない。このとき、出力ノードOD11の電圧とノードND13の電圧レベルが等しくなった状態でMOSトランジスタPQ12を流れる電流が停止する。MOSトランジスタPQ11においては、この状態では、出力ノードOD11がソースとして作用するため、ゲートおよびソースの電位が等しく、非導通状態を維持する。

【0078】

時刻t1において、制御信号φPZを電源電圧VCCレベルから接地電圧GNDレベルへ低下させる。MOSトランジスタNQ11は非導通状態であり、容量素子C11のチャージポンプ動作により、ノードND11の電圧レベルが高電圧2・VCCから電源電圧VCCレベルに低下する。この場合、ノードND12は、電源電圧VCCレベルであり、MOSトランジスタNQ12が非導通状態となる。ノードND12の電位は何ら変化せず、したがって、この状態において、何ら無効電流は流れない。

【0079】

時刻t2において、制御信号φCPZが接地電圧GNDレベルから電源電圧VCCレベルに上昇し、ノードND12の電圧レベルが電源電圧VCCから高電圧2・VCCレベルに上昇する。この状態において、MOSトランジスタNQ11が導通状態となっても、ノードND11と電源ノードPWの電圧レベルは等しく、電流は流れない。内部ノードND12の電圧レベルが高電圧2・VCCとなると、MOSトランジスタPQ12は、ゲート電位がソースおよびドレイン電位以上となり、確実に、非導通状態に設定される。MOSトランジスタPQ11は、そのゲート電位が高電圧2・VCCであり、ノードND12の電圧レベルが高電圧2・VCCに上昇しても、ノードND12が、ソースとして機能し、ゲートおよびソース電位が等しくなるだけであり、非導通状態を維持する。

【0080】

過渡状態時において、出力ノードOD11の電圧が最終の高電圧2・VCCよりも低いときにおいても、ノードND12の電位上昇によりMOSトランジスタPQ12が非導通状態となる。先に出力ノードOD11と内部ノードND13とが電気的に接続されて同一電圧レベルに設定されており、MOSトランジスタPQ11においては、この状態においては、そのゲート-ソース間電圧は、しきい値電圧の絶対値以下程度であり、非導通状態を維持する。

【0081】

MOSトランジスタNQ11、NQ12、PQ11およびPQ12は、エンハンスメント型トランジスタであり、そのゲート-ソース間電圧が、しきい値電圧の絶対値以上となったときにのみ、これらのMOSトランジスタNQ11、NQ12、PQ11およびPQ

12が導通状態となる。

【0082】

時刻 t_3 において、制御信号 ϕ_{CTZ} を、電源電圧 V_{CC} から接地電圧 GND レベルに低下させる。この制御信号 ϕ_{CTZ} の立下がりによって容量素子 C_{13} のチャージポンプ動作により、ノード ND_{13} の電圧レベルが高電圧 $2 \cdot V_{CC}$ から電源電圧 V_{CC} レベルにまで低下し、MOSトランジスタ PQ_{11} のゲート電位がソース電位よりも十分に低くなり、MOSトランジスタ PQ_{11} が導通し、ノード ND_{12} と出力ノード OD_{11} とが電氣的に結合される。

【0083】

出力ノード OD_{11} の電圧レベルが、最終電圧 $2 \cdot V_{CC}$ レベルよりも低い場合には、この内部ノード ND_{12} から出力ノード OD_{11} に正電荷が供給され、出力ノード OD_{11} の電圧レベルが上昇する。この出力ノード OD_{11} への電荷供給動作時において、MOSトランジスタ PQ_{12} のゲート電位は、ソース電位以上であり、非導通状態を維持する。したがって、この場合においても、何ら無効電流は流れない。

【0084】

時刻 t_4 において、制御信号 ϕ_{CTZ} を接地電圧 GND レベルから電源電圧 V_{CC} レベルに上昇させる。容量素子 C_{13} のチャージポンプ動作により、ノード ND_{13} の電圧レベルが、電源電圧 V_{CC} から、高電圧 $2 \cdot V_{CC}$ レベルに上昇する。MOSトランジスタ PQ_{11} のゲート電位がソース電位以上となり、MOSトランジスタ PQ_{11} が非導通状態となる。

【0085】

このとき、過渡状態時において出力ノード OD_{11} の電圧レベルが高電圧 $2 \cdot V_{CC}$ よりも低いとき、MOSトランジスタ PQ_{12} が導通状態となることが考えられる。しかしながら、この場合でも、ノード ND_{13} から出力ノード OD_{11} へ正電荷が供給され、この出力ノード OD_{11} の電圧レベルを上昇させる。

【0086】

特に、チャージポンプ動作初期時の過渡状態時、出力ノード OD_{11} の電圧レベルが高電圧 $2 \cdot V_{CC}$ より低いときは、通常、ノード ND_{12} の電圧レベルは、高電圧 $2 \cdot V_{CC}$ よりも低い電圧レベルであり、ノード ND_{13} の電圧も、出力ノード OD_{11} と同程度の電圧レベルである（先に、ノード ND_{13} の電圧レベルが、電荷転送前に出力ノードと同一電圧レベルに設定されている）。従って、エンハンスメント型のMOSトランジスタ PQ_{12} は、この状態においては、そのゲート-ソース間電圧が、しきい値電圧の絶対値以下であり、非導通状態を維持する。

【0087】

この過渡期においても、MOSトランジスタ PQ_{11} は、ゲートの電位が、ソース（出力ノード OD_{11} ）以上であるため、非導通状態を維持するため、出力ノード OD_{11} から内部ノード ND_{12} への無効電流は流れない。

【0088】

時刻 t_5 において、制御信号 ϕ_{CPZ} を電源電圧 V_{CC} から接地電位 GND レベルに低下させる。容量素子 C_{12} のチャージポンプ動作により、ノード ND_{12} の電圧レベルが、高電圧 $2 \cdot V_{CC}$ から電源電圧 V_{CC} レベルに低下する。ノード ND_{11} が、電源電圧 V_{CC} レベルである。MOSトランジスタ NQ_{12} は、ソースとゲートの電位が等しいため、非導通状態を維持する。

【0089】

MOSトランジスタ PQ_{12} のゲート電位がソース（出力ノード OD_{11} ）の電圧レベルよりも低くなり、導通状態となり、出力ノードと内部ノード ND_{13} とを電氣的に接続する。この内部ノード ND_{13} と出力ノードとを接続する事により、MOSトランジスタ PQ_{11} を、そのゲートおよびソースの電位を等しくて非導通状態に維持する。従って、内部ノード ND_{13} の充電が行なわれても、出力ノードへの電荷転送を正確に行なうために必要な電流が流れるだけであり、何ら無効電流は流れない。

【0090】

また、過渡時において、制御信号 ϕ_{CPZ} による内部ノードND12の昇圧時に、ノードND13の電圧レベルが内部ノードND12の電圧レベルよりも低い状態となっても、MOSトランジスタPQ11を非導通状態に維持する（ゲートソース間電圧をしきい値電圧の絶対値以下に維持する）。

【0091】

過渡状態時において、出力ノードOD11の電圧が最終電圧レベルに到達していないときに、ノードND12が、電源電圧VCCよりも低い電圧レベルに低下することが考えられる。この場合、ノードND11の電圧レベルが電源電圧レベルであり、ノードND12は、MOSトランジスタNQ12のしきい値電圧だけ電源電圧VCCレベルよりも低い電圧レベルに維持される。このときに流れる電流は、電源ノードPWからMOSトランジスタNQ12を介して供給されるだけであり、電圧レベルの補償が行なわれるだけであり、何ら無効電流は流れない。

【0092】

時刻 t_6 において、制御信号 ϕ_{PZ} を接地電圧GNDレベルから電源電圧VCCレベルに上昇させる。容量素子C11のチャージポンプ動作により、ノードND11の電圧レベルが電源電圧VCCから高電圧 $2 \cdot VCC$ レベルに上昇し、MOSトランジスタNQ12が導通し、ノードND12が確実に、電源電圧VCCレベルに設定される。

【0093】

したがって、制御信号 ϕ_{PZ} 、 ϕ_{CPZ} および ϕ_{CTZ} により、電荷蓄積ノードとして機能する内部ノードND12の電源電圧レベルのプリチャージ、高電圧VCCレベルへの充電、およびこの充電電荷の出力ノードへの転送を行なう期間、何ら無効電流は流れず、効率的に、電荷を利用して高電圧 $2 \cdot VCC$ を生成することができる。

【0094】

なお、この図3に示す電圧発生回路においても、内部ノードND12の寄生容量の存在は無視している。内部ノードND12に無視することのできない大きさの寄生容量が存在する場合、この内部ノードND12の電圧振幅が電源電圧VCCよりも小さくなり、出力ノードOD11からの出力電圧は、高電圧 $2 \cdot VCC$ よりも低い電圧レベルとなる。

【0095】

一般に、制御信号 ϕ_{CPZ} の振幅を、先の実施の形態1と同様、 V_ϕ とし、電源ノードPWの電圧を V_{PW} とすると、出力ノードOD11からの出力電圧 V_{OUT} は、次式(3)で示される。

【0096】

$$V_{OUT} = V_{PW} + V_\phi \quad \dots (3)$$

したがって、必要とされる電圧レベルに応じて制御信号 ϕ_{CPZ} の振幅を決定する。図3に示す構成においては、電源ノードPWの電圧は電源電圧VCCであり、制御信号 ϕ_{CPZ} の振幅は電源電圧VCCであり、出力電圧 V_{OUT} は、次式(4)で与えられる。

【0097】

$$V_{OUT} = 2 \cdot VCC \quad \dots (4)$$

この制御信号 ϕ_{PZ} 、 ϕ_{CPZ} および ϕ_{CTZ} のハイレベルおよびローレベルの電圧レベルは等しくする必要はなく、内部ノードND12へのプリチャージ、電荷供給および電荷転送を上述のMOSトランジスタNQ11、NQ12、PQ11およびPQ12の導通／非導通状態を確実に設定することができる条件を満たす限り、これらの制御信号 ϕ_{PZ} 、 ϕ_{CPZ} および ϕ_{CTZ} は、それらのハイレベル電圧およびローレベル電圧は互いに異なってもよい。

【0098】

以上のように、この発明の実施の形態2に従えば、NチャネルMOSトランジスタを交差結合し、電荷蓄積ノードへの電荷の充電を、容量素子のチャージポンプ動作を利用して行なっており、MOSトランジスタを非導通状態に設定した後に電荷蓄積ノードに電荷を供給することができ、無効電流が流れるのを防止して、効率的に、正の高電圧を発生する

ことができる。

【0099】

【実施の形態3】

図5は、この発明の実施の形態3に従う内部電圧発生回路の構成を概略的に示す図である。図5において、内部電圧発生回路は、繰返し信号 $\phi 0$ に従って制御信号 ϕP 、 ϕCP および ϕCT を生成する制御信号発生回路1と、制御信号発生回路1からの制御信号 ϕP 、 ϕCP および ϕCT に従って負電圧 $-VCC$ を発生する負電圧発生回路10と、制御信号 ϕP 、 ϕCP および ϕCT をそれぞれ反転して制御信号 ϕCTZ 、 ϕCPZ および ϕPZ を生成する反転回路15と、この反転回路15からの制御信号 ϕCTZ 、 ϕCPZ および ϕPZ に従って正電圧 $2 \cdot VCC$ を生成する正電圧発生回路20を含む。

【0100】

負電圧発生回路10は、図1に示す電圧発生回路と同様の構成を有し、正電圧発生回路20は、図3に示す電圧発生回路と同様の構成を備える。この負電圧発生回路10および正電圧発生回路20に対し共通に制御信号発生回路1を設けることにより、小占有面積で効率的に所望の電圧レベルの内部電圧 $-VCC$ および $2 \cdot VCC$ を生成することができる。

【0101】

図6は、図5に示す制御信号発生回路1の構成を概略的に示す図である。図6において、制御信号発生回路1は、繰返し信号 $\phi 0$ を受ける4段の縦続接続される遅延回路30a-30dと、遅延回路30aの出力信号 $\phi 1$ を受けるインバータ32aと、遅延回路30cの出力信号 $\phi 3$ を受けるインバータ32bと、インバータ32aの出力信号と遅延回路30dの出力信号 $\phi 4$ を受けて制御信号 ϕCP を生成するOR回路33と、遅延回路30bの出力信号 $\phi 2$ とインバータ32bの出力信号を受けて制御信号 ϕCT を生成するAND回路34を含む。

【0102】

遅延回路30a-30dは、それぞれ、たとえば偶数段の縦続接続されるインバータで構成され、遅延時間DTを有する。

【0103】

図7は、図6に示す制御信号発生回路1の動作を示す信号波形図である。以下、図7を参照して、図6に示す制御信号発生回路1の動作について説明する。

【0104】

繰返し信号 $\phi 0$ は、一定の周期を有する信号であり、この繰返し信号 $\phi 0$ は、プリチャージ用の制御信号 ϕP としても用いられる。遅延回路30a-30dが、それぞれ与えられた信号を所定時間DT遅延して遅延信号 $\phi 1-\phi 4$ をそれぞれ生成する。

【0105】

OR回路33は、インバータ32aの出力信号と遅延回路30dの出力信号 $\phi 4$ を受けて電荷蓄積用の制御信号 ϕCP を生成している。したがって、この制御信号 ϕCP がLレベルとなる期間は、遅延回路30dの出力信号 $\phi 4$ がLレベルでありかつ遅延回路30aの出力信号 $\phi 1$ がHレベルの期間である。したがって、制御信号 ϕCP は、遅延回路30aの出力信号 $\phi 1$ がHレベルへ立上がるとLレベルに立下がり、遅延回路30aの出力信号 $\phi 4$ がHレベルに立上がるとHレベルに立上がる。したがって、この制御信号 ϕCP は、期間 $3 \cdot DT$ の間Lレベルとなる。

【0106】

AND回路34からの電荷転送用の制御信号 ϕCT は、遅延回路30bの出力信号 $\phi 2$ がHレベルにありかつインバータ32bの出力信号がHレベルのときにHレベルとなる。したがって、この制御信号 ϕCT は、遅延回路30bの出力信号 $\phi 2$ がHレベルに立上がるとHレベルとなり、遅延回路30cの出力信号 $\phi 3$ がHレベルとなるとLレベルとなる。この制御信号 ϕCT は、期間DTの間Hレベルとなる。

【0107】

なお、この遅延回路30a-30dの出力信号 $\phi 1-\phi 4$ それぞれのハイレベルは、電

源電圧 V_{CC} レベルであり、また、それぞれのローレベルは接地電圧 GND レベルである。この場合、制御信号 ϕP 、 ϕCP および ϕCT は、ハイレベルが電源電圧 V_{CC} レベル、ローレベルが接地電圧 GND レベルの信号となる。この制御信号発生回路 1 の動作電源電圧レベルを変更することにより、制御信号 ϕP 、 ϕCP および ϕCT の振幅およびハイレベルおよびローレベルの電位を変更することができる。

【0108】

繰返し信号 $\phi 0$ は、内部の発振回路から生成されてもよく、信号転送または動作サイクル設定などのために外部から繰返し与えられるクロック信号が用いられてもよい。

【0109】

正電圧発生回路 20 は、これらの制御信号 ϕP 、 ϕCP および ϕCT を反転した制御信号 ϕPZ 、 ϕCPZ および ϕCTZ に従って動作する。これらの制御信号を利用することにより、図 2 および図 4 に示すタイミング図における制御信号の位相関係を実現することができ、MOS トランジスタを非導通状態に設定した後にチャージポンプ動作を行ない、内部電圧発生のための電荷蓄積後に電荷転送用の MOS トランジスタを導通状態に設定することができる。

【0110】

なお、図 6 に示す制御信号発生回路 1 の構成において、遅延回路 30a-30d は、同じ遅延時間 DT を有している。しかしながら、以下の制御信号発生シーケンスを満たす限り、これらの遅延回路 30a-30d の遅延時間は異なってもよい。すなわち、プリチャージ用の制御信号 ϕP の電圧レベルが変化して所定時間経過した後に、プリチャージ用の制御信号 ϕCP が変化し、続いて、所定時間経過後に電荷転送用の制御信号 ϕCT の電圧レベルが変化して電荷転送が行なわれる。この電荷転送用の制御信号 ϕCT が非活性状態となったときに、電荷蓄積用の制御信号 ϕCP の論理レベルが変化し、その後プリチャージ用の制御信号 ϕCP の電圧レベルが変化してプリチャージが行なわれるという動作シーケンスが実現されればよい。

【0111】

なお、図 5 に示す内部電圧発生回路においては、負電圧発生回路 10 および正電圧発生回路 20 がともに設けられ、負電圧 $-V_{CC}$ および正電圧 $2 \cdot V_{CC}$ が生成されている。しかしながら、負電圧発生回路 10 のみまたは正電圧発生回路 20 のみが設けられる場合においても、この制御信号発生回路 1 を利用することにより、効率的に所望の電圧レベルの内部電圧を発生することができる。また、これらの内部電圧は、 $-V_{CC}$ および $2 \cdot V_{CC}$ と異なる電圧レベルであってもよい。

【0112】

以上のように、この発明の実施の形態 3 に従えば、遅延回路を縦続接続し、所望の位相関係の信号を論理処理して電荷プリチャージ、充電および転送のための制御信号を生成しており、簡易な回路構成で容易に、内部電圧を発生するためのチャージポンプ動作制御信号を生成することができる。

【0113】

[実施の形態 4]

図 8 は、この発明の実施の形態 4 に従う電圧発生回路の構成を示す図である。この図 8 に示す電圧発生回路は、図 1 に示す電圧発生回路に対し、さらに、出力ノード $OD1$ と最終出力ノード $FOD1$ の間に、さらに、生成される内部電圧の絶対値を大きくする電圧駆動段 40 が設けられる。

【0114】

この出力ノード $OD1$ の前段の負電圧発生部の構成は、図 1 に示す電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0115】

電圧駆動段 40 は、制御信号 ϕP を受ける制御信号入力ノード $S31$ と出力ノード $OD1$ の間に接続される容量素子 $C20$ と、内部出力ノード $OD1$ と最終出力ノード $FOD1$ の間に接続されかつそのゲートが内部ノード $ND30$ に接続される N チャネル MOS トラ

ンジスタNQ31と、内部ノードND30と最終出力ノードFODの間に接続されかつそのゲートが内部出力ノードOD1に接続されるNチャネルMOSトランジスタNQ32と、制御信号 ϕ CTFを受ける制御信号入力ノードS32と内部ノードND30の間に接続される容量素子C21を含む。

【0116】

この最終出力ノードFOD1に対して、実施の形態1と同様、安定化容量C4が接続される。しかしながら、この安定化容量C4は、出力負荷変動が小さい場合には、特に設けられなくてもよい。

【0117】

制御信号 ϕ CTFは、最終出力ノードFOD1へ内部出力ノードOD1から負電荷を供給するときに活性化される。制御信号 ϕ P、 ϕ CPおよび ϕ CTは、実施の形態1の制御信号と同じである。

【0118】

図9は、図8に示す電圧発生回路の動作を示すタイミング図である。以下、図9を参照して、図8に示す電圧発生回路の動作について説明する。図9においても、周期 $2 \cdot T$ の期間の安定状態での信号波形を示す。また、以下の説明においては、安定状態時の動作について説明する。チャージポンプ動作初期の過渡時においても、各ノードの電圧レベルが異なるだけで、安定状態時とほぼ同様の動作が行なわれる。

【0119】

制御信号 ϕ P、 ϕ CPおよび ϕ CTは実施の形態1と同じであり、したがって、出力ノードOD1前段の回路動作自体は、実施の形態1の場合と実質的に同じである。しかしながら、内部出力ノードOD1の電圧振幅が実施の形態1と異なるため、内部ノードND3の電圧変化が、実施の形態1の場合と異なる。

【0120】

時刻 $t10$ において、制御信号 ϕ P、 ϕ CTがLレベルに設定され、一方、制御信号 ϕ CPがHレベルに設定される。この状態では、ノードND1が負電圧 $-V_{CC}$ 、出力ノードOD1が負電圧 $-2V_{CC}$ レベルである。したがって、ノードND1が、負電圧 $-V_{CC}$ レベルに駆動され、ノードND2が、接地電圧GNDレベルにプリチャージされる。また、内部出力ノードOD1が負電圧 $-2 \cdot V_{CC}$ であり、MOSトランジスタNQ2が導通状態にあり、内部ノードND3が内部出力ノードOD1と電氣的に接続され、同一電圧レベルに維持される。

【0121】

この内部ノードND3を内部出力ノードOD1と同一電圧レベルに設定する事により、MOSトランジスタNQ1を非導通状態に維持する。

【0122】

時刻 $t11$ において、制御信号 ϕ Pが接地電圧GNDから電源電圧 V_{CC} レベルに上昇すると、ノードND1が容量素子C1により接地電圧GNDレベルに駆動され、ノードND2のプリチャージ動作が完了する。このとき、また、容量素子C20より、出力ノードOD1の電圧レベルが $-2 \cdot V_{CC}$ から電圧 $-V_{CC}$ レベルに上昇する。この場合、ノードND2は接地電圧GNDレベルであり、MOSトランジスタNQ2が導通状態を維持し、内部ノードND3の電圧レベルが、内部出力ノードOD1の電圧レベルと等しくなり、負電圧 $-V_{CC}$ レベルとなる。

【0123】

また、MOSトランジスタNQ1は、ゲート（ノードND3）およびソース（内部出力ノードOD1）の電位が同じとなり、非導通状態を維持する。

【0124】

時刻 $t12$ においては制御信号 ϕ CPが電源電圧 V_{CC} レベルから接地電圧GNDレベルに低下し、ノードND2が負電圧 $-V_{CC}$ レベルに駆動され、NチャネルMOSトランジスタNQ2が非導通状態に設定される。この状態においても、MOSトランジスタNQ1は、ノードND2が負電圧 $-V_{CC}$ レベルであり、安定状態時にはゲート、ソー

スおよびドレイン電位がすべて同じであり、非導通状態を維持する。また、過渡時においては、実施の形態1と同様そのゲートソース間電圧がしきい値電圧以下であり、非導通状態を維持する。

【0125】

時刻 t_{13} において、制御信号 ϕ_{CT} が接地電圧 GND から電源電圧 VCC レベルに上昇し、ノード ND3 の電圧レベルが負電圧 $-VCC$ から接地電圧 GND レベルに上昇する。MOS トランジスタ NQ1 が導通状態となり、ノード ND2 および出力ノード OD1 を電氣的に接続して内部ノード ND2 と内部出力ノード OD1 の電圧レベルを等しくする。しかしながら、出力ノード OD1 は、定常状態時には、先に、負電圧 $-VCC$ レベルにプリチャージされており、MOS トランジスタ NQ1 のドレインおよびソース電位は同じであり、定常状態においては、電流は流れない。

【0126】

時刻 t_{14} において、制御信号 ϕ_{CT} が電源電圧 VCC レベルから接地電圧 GND レベルに低下し、ノード ND3 の電圧レベルが接地電圧 GND から負電圧 $-VCC$ レベルに低下する。応じて、MOS トランジスタ NQ1 が、非導通状態となり、ノード ND2 および内部出力ノード OD1 が分離される。MOS トランジスタ NQ2 は、安定状態においては、ゲート、ドレインおよびソースが同一電位であり、電流は流れない。

【0127】

時刻 t_{15} において、制御信号 ϕ_{CP} が接地電圧 GND から電源電圧 VCC レベルに上昇し、ノード ND2 の電圧レベルが、負電圧 $-VCC$ から接地電圧 GND レベルに上昇する。このノード ND2 の電圧レベルの上昇に従って、MOS トランジスタ PQ1 が非導通状態となり、次のプリチャージ動作に備える。

【0128】

また、MOS トランジスタ NQ2 が導通し、内部ノード ND3 と内部出力ノード OD1 とを電氣的に接続し、内部ノード ND3 の電圧レベルが内部出力ノード OD1 の電圧レベルの負電圧 $-VCC$ となり、MOS トランジスタ NQ1 が、ゲートおよびソースの電圧が等しくされて非導通状態に維持される。

【0129】

時刻 t_{16} において、制御信号 ϕ_P が、電源電圧 VCC レベルから接地電圧 GND レベルに低下すると、ノード ND1 が接地電圧 GND レベルから負電圧 $-VCC$ レベルに低下する。このときまた、容量素子 C20 により、内部出力ノード OD1 も、浅い負電圧 $-VCC$ レベルから、深い負電圧 $-2 \cdot VCC$ レベルにまで低下する。ノード ND2 は、接地電圧 GND レベルであり、MOS トランジスタ NQ2 が導通しているため、ノード ND3 と内部出力ノード OD1 が同一電圧レベルとなり、MOS トランジスタ NQ1 が非導通状態に維持される。したがって、ノード ND2 が、接地電圧 GND レベルであっても、内部出力ノード OD1 が、深い負電圧 $-2 \cdot VCC$ レベルにまで低下し、同様、ノード ND3 も、深い負電圧 $-2 \cdot VCC$ レベルにまで低下する。

【0130】

この場合は、MOS トランジスタ NQ2 により、MOS トランジスタ NQ1 のゲートにソースが電氣的に結合されるため、MOS トランジスタ NQ1 は高速で非導通状態となり、無効電流がほとんど流れず確実に、内部出力ノード OD1 が、負電圧 $-2 \cdot VCC$ レベルにまで低下する。

【0131】

このとき、過渡時などにおいて、内部ノード ND30 の電圧レベルが、内部出力ノード OD1 の電圧レベルよりも高くなることが考えられる。しかしながら、内部ノード ND30 と最終出力ノード FOD1 とをいったん電氣的に接続しており、このような状態での内部ノード ND30 と内部出力ノード OD1 の電圧レベルの差は小さく、MOS トランジスタ NQ1 は、そのしきい値電圧により、非導通状態を維持する。

【0132】

時刻 t_{17} において、制御信号 ϕ_{CTF} が接地電圧 GND レベルから電源電圧 VCC レ

ベルにまで上昇し、ノードND30の電圧レベルが、深い負電圧 $-2 \cdot V_{CC}$ から浅い負電圧 $-V_{CC}$ にまで上昇する。応じて、MOSトランジスタNQ31が導通し、出力ノードOD1と最終出力ノードFOD1が電氣的に結合される。最終出力ノードFOD1の電圧レベルが、深い負電圧 $-2 \cdot V_{CC}$ よりも高い場合には、この内部出力ノードOD1から負電荷が最終出力ノードFOD1へ供給される。この電荷転送時においては、MOSトランジスタNQ2は、ゲート電位が、ソース（最終出力ノードFOD1）であり非導通状態を維持し、効率的に内部出力ノードOD1から最終出力ノードFOD1に電荷が転送される。

【0133】

時刻t18において、制御信号 ϕP を接地電圧GNDから電源電圧 V_{CC} レベルにまで上昇させる。応じて、ノードND1が浅い負電圧 $-V_{CC}$ から接地電圧GNDレベルに復帰し、また出力ノードOD1も深い負電圧 $-2 \cdot V_{CC}$ から浅い負電圧 $-V_{CC}$ に上昇する。このとき、ノードND2は接地電圧レベルであり、ノードND3は、出力ノードOD1と同様、深い負電圧 $-2 \cdot V_{CC}$ から負電圧 $-V_{CC}$ レベルにまでその電圧レベルが上昇する。

【0134】

時刻t19以降、上述の動作が繰返し行なわれる。

【0135】

なお、出力ノードOD1を深い負電圧 $-2 \cdot V_{CC}$ レベルまで低下させ、応じてノードND3も深い負電圧 $-2 \cdot V_{CC}$ レベルにまで低下させるとき、容量素子C20の容量値を、容量素子C3の容量値よりも十分に大きくすることにより、確実にかつ高速で、ノードND3を出力ノードOD1の電圧レベルに従って変化させることができる。

【0136】

なお、チャージポンプ動作開始初期時においては、出力ノードOD1の電圧が、 $-V_{CC}$ と $-2 \cdot V_{CC}$ の間で変化する状態になってから、最終出力ノードFOD1の電圧が、 $-2 \cdot V_{CC}$ にまで低下する。この過渡時の電圧駆動段40の動作は実施の形態1において説明した電圧発生回路の動作と同様である。

【0137】

この電圧駆動段40は、前段の $-V_{CC}$ 発生回路の負電圧 $-V_{CC}$ を発生する回路の出力段（電荷転送段）と同様の構成を有している。したがって、無効電流を生じさせることなく、効率的に深い負電圧 $-2 \cdot V_{CC}$ を発生させることができる。

【0138】

以上のように、この発明の実施の形態4に従えば、浅い負電圧 $-V_{CC}$ を発生する回路の出力段に、さらに、出力ノードのチャージポンプ容量を接続し、かつ $-V_{CC}$ 発生回路の出力段と同一構成の出力段（電荷転送段）を配置して電圧駆動段を構成しており、効率的に電荷を利用して、 $-2 \cdot V_{CC}$ の負電圧を低消費電力で発生することができる。

【0139】

〔実施の形態5〕

図10（A）は、この発明の実施の形態5に従う電圧発生回路の構成を概略的に示す図である。この図10（A）に示す電圧発生回路は、ノードND2と出力ノードFODの間に縦続接続される電荷転送段XFN1からXFNnを含む。

【0140】

ノードND1およびND2には、それぞれ接地ノードとの間に、PチャネルMOSトランジスタPQ1およびPQ2が交差結合の態様で接続される。ノードND1は、容量素子C1を介してプリチャージ用制御信号 ϕP を受け、ノードND2は、容量素子C2を介して、電荷生成用の制御信号 ϕCP を受ける。このMOSトランジスタPQ1およびPQ2と容量素子C1およびC2の構成は、先の図1および図8に示す構成と同じであり、制御信号 ϕP および ϕCP に従ってノードND1およびND2を、接地電圧GNDと負電圧 $-V_{CC}$ の間で変化させる。

【0141】

電荷転送段 $XFN1$ から XFN_{n-1} の出力ノード $OD1$ から OD_{n-1} には、容量素子 $CK1$ から CK_{n-1} がそれぞれ接続される。奇数段の電荷転送段 $XFN1$ の出力ノード $OD1$ 、 \dots OD_{n-1} に設けられた容量素子 $CQ1$ 、 \dots CQ_{n-1} は、制御信号入力ノード $S1$ を介して制御信号 ϕP を受ける。偶数段の電荷転送段 $XFN2$ の出力ノード $OD2$ に設けられた容量素子 $CQ2$ 、 \dots へは、制御信号入力ノード $S2$ を介して制御信号 ϕCP が与えられる。電荷転送段 $XFN1$ から XFN_n へは、制御信号 ϕCT および ϕCTF が交互に与えられる。この電荷転送段とその入力ノード（前段の電荷転送段の出力ノード）に設けられる容量素子とが、電圧駆動段を構成する。

【0142】

最終出力ノード FOD には安定化容量素子 $C4$ が接続される。この安定化容量 $C4$ は、最終出力ノード FOD の電圧が安定であれば、特に設ける必要はない。

【0143】

図10 (B) は、電荷転送段 $XFN1$ から XFN_n の構成を示す図である。これらの電荷転送段 $XFN1$ から XFN_n は、同一構成を維持し、図10 (B) においては、1つの電荷転送段 XFN により、これらの電荷転送段 $XFN1$ から XFN_n を総称的に示す。

【0144】

電荷転送段 XFN は、入力ノード NDI と出力ノード NDO の間に接続される N チャンネル MOS トランジスタ NQa と、出力ノード NDO と内部ノード NDA の間に接続されかつそのゲートが入力ノード NDI に接続される N チャンネル MOS トランジスタ NQb と、制御信号入力ノード Sa と内部ノード NDA の間に接続される容量素子 Ca を含む。

【0145】

この電荷転送段 XFN は、図8に示す電圧駆動段40の容量素子 $C20$ を除く構成と等価である。制御信号入力ノード Sa に、電荷転送制御用の制御信号 ϕCT または ϕCTF が与えられる。これらの電荷転送段 $XFN1$ から XFN_n において、その入力ノード NDI のプリチャージおよび電荷転送を交互に行なうことにより、電荷転送段 $XFN1$ から XFN_n にそれぞれ $-VCC$ の電圧降下を生じさせることができ、最終出力ノード FOD には、 $-n \cdot VCC$ の電圧を発生させることができる。

【0146】

図11は、図10 (A) および (B) に示す電圧発生回路の動作を示すタイミング図である。図11においては、電荷転送段 XFN_{i-1} 、 XFN_i および XFN_{i+1} の出力ノードおよび内部ノードの信号波形を示す。電荷転送段 XFN_{i-1} の容量素子 Ca には、制御信号 ϕCTF が与えられ、電荷転送段 XFN_i の容量素子 Ca には、制御信号 ϕCT が与えられ、電荷転送段 XFN_{i+1} の容量素子 Ca には、制御信号 ϕCTF が与えられる。次に、図11を参照して、この図10 (A) および (B) に示す電圧発生回路の動作について説明する。

【0147】

制御信号 ϕP が接地電圧 GND から電源電圧 VCC に上昇すると、電荷転送段 XFN_{i-1} の入力ノード NDI_{i-1} が、対応の容量素子 CK_{i-2} のチャージポンプ動作により、その電圧レベルが上昇する。この場合、負電圧 $-(i-1) \cdot VCC$ から負電圧 $-(i-2) \cdot VCC$ に変化する。内部ノード NDA_{i-1} は、この状態では、電圧 $-(i-1) \cdot VCC$ であり、電荷転送段 XFN_{i-1} において、MOS トランジスタ NQa は、非導通状態を維持する。

【0148】

同様、電荷転送段 XFN_{i+1} においても、入力ノード NDI_{i+1} に対して、制御信号 ϕP に従ってチャージポンプ動作が行なわれ、その電圧レベルが、 $-(i+1) \cdot VCC$ から $-i \cdot VCC$ に変化する。この電荷転送段 XFN_{i+1} の入力ノード NDI_{i+1} は、電荷転送段 XFN_i の出力ノード OD_i に対応する。この場合、電荷転送段 XFN_i においては、MOS トランジスタ NQb が導通状態にあるため、ノード NDI_i が、電圧 $-(i+1) \cdot VCC$ から $-i \cdot VCC$ に変化する。この状態においても、電荷転送段 XFN_i においては、MOS トランジスタ NQa は、ゲートの電位がそのソースよりも低い

ため、非導通状態を維持する。

【0149】

制御信号 ϕCP が電源電圧 VCC から接地電圧 GND レベルに低下すると、電荷転送段 $XFNi$ において、容量素子 CKi のチャージポンプ動作により、入力ノード $NDIi$ が電圧 $-(i-1) \cdot VCC$ から $-i \cdot VCC$ に変化する。このとき、電荷転送段 $XFNi-1$ において、ノード $NDIi-1$ が電圧 $-(i-2) \cdot VCC$ レベルであり、MOS トランジスタ NQb が導通状態にあり、電荷転送段 $XFNi-1$ において、ノード $NDAi-1$ の電圧レベルが、電圧 $-(i-1) \cdot VCC$ から電圧 $-i \cdot VCC$ に変化する。

【0150】

次に、所定期間経過後、制御信号 ϕCT が電源電圧 VCC レベルに駆動され、転送段 $XFNi$ において内部ノード $NDAi$ が容量素子 Ca のチャージポンプ動作により、電圧 $-(i+1) \cdot VCC$ から電圧 $-i \cdot VCC$ に上昇し、MOS トランジスタ NQa が導通する。これにより、電荷転送段 $XFNi$ において、MOS トランジスタ NQa を介しての電荷の駆動が行なわれる。この状態で、ノード $NDi+1$ は、電圧 $-i \cdot VCC$ レベルであり、電荷転送段 $XFNi$ の入力ノード $NDIi$ の電圧レベルと、電荷転送段 $XFNi+1$ の入力ノード $NDIi+1$ の電圧レベルが等しくされる。

【0151】

この制御信号 ϕCT が再び接地電圧レベルに低下すると、電荷転送段 $XFNi$ において内部ノード $NDAi$ が、電源電圧 VCC だけ低下し、その電圧レベルは $-i \cdot VCC$ となり、電荷転送段 $XFNi$ において、MOS トランジスタ NQa が非導通状態となる。

【0152】

次いで、制御信号 ϕCP が接地電圧 GND レベルから電源電圧 VCC レベルに上昇し、電荷転送段 $XFNi$ の入力ノード $NDIi$ の電圧レベルが上昇し、応じて電荷転送段 $XFNi-1$ の内部ノード $NDAi-1$ も、ノード $NDIi$ の電圧レベルに応じて、MOS トランジスタ NQb を介して上昇し、電圧 $-(i-1) \cdot VCC$ レベルに設定される。

【0153】

この制御信号 ϕCP に従って、同様、電荷転送段 $XFNi+1$ においても内部ノード $NDAi+1$ の電圧レベルが低下し、その出力ノード $ODi+1$ の電圧レベルが低下したときに、確実に対応の MOS トランジスタ NQa を非導通状態に設定する。

【0154】

制御信号 ϕP が、所定時間経過後に電源電圧 VCC から接地電圧レベル GND レベルに低下すると、電荷転送段 $XFNi+1$ において、その入力ノード $NDIi+1$ に対して容量素子のチャージポンプ動作が行なわれ、その電圧レベルが $-i \cdot VCC$ から $-(i+1) \cdot VCC$ に低下する。この電圧低下が、電荷転送段 $XFNi$ の内部ノード $NDAi$ へ、MOS トランジスタ NQb を介して伝達され、その MOS トランジスタ NQb が、確実に非導通状態に設定される。

【0155】

次いで、さらに所定時間経過後に、制御信号 ϕCTF が所定期間電源電圧 VCC となり、電荷転送段 $XFNi-1$ および $XFNi+1$ において、内部ノード $NDAi-1$ および $NDAi+1$ の電圧レベルが電圧 VCC だけ上昇し、対応の MOS トランジスタ NQa が導通し、電荷の転送が行なわれる。

【0156】

このとき、電荷転送段 $XFNi$ においては、内部ノード $NDAi$ の電圧レベルは電荷転送段 $XFNi+1$ の入力ノード $NDIi+1$ 、すなわち電荷転送段 $XFNi$ の出力ノード ODi の電圧レベルと等しいため、MOS トランジスタ NQa は非導通状態を維持し、この電荷転送段 $XFNi$ における電流の逆流は防止される。

【0157】

したがって、この電荷転送段 $XFN1$ から $XFNn$ を縦続接続し、その入力ノードのプリチャージと内部ノードのチャージをこれらの電荷転送段において位相制御された制御信号に基づいて交互に行なうことにより、確実に、電流の逆流を防止して、電圧 VCC ずつ

発生電圧を低下させることができる。電荷転送段 XFN1 から XFNn と n 設けられている場合、出力ノード FOD には、電圧 $-n \cdot VCC$ が生成される。これにより、所望の電圧レベルの負電圧を発生することができ、低電源電圧下においても、必要な電圧レベルを低消費電力で安定に発生することができる。

【0158】

図12は、図10(A)および(B)に示す電圧発生回路に用いられる制御信号を発生する回路の構成を概略的に示す図である。この図12に示す制御信号発生回路は、図6に示す制御信号発生回路の構成に加えて、さらに、遅延回路30dの出力信号 $\phi 4$ とインバータ32bの出力信号を受けて制御信号 ϕCTF を生成するAND回路45が設けられる。この図12に示す制御信号発生回路の他の構成は、図6に示す制御信号発生回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0159】

この図12に示す制御信号発生回路の構成においては、AND回路45は、遅延回路30dの出力信号 $\phi 4$ がHレベルにあり、かつインバータ32bの出力信号がHレベルのときに、制御信号 ϕCTF がHレベルとなる。したがって、図13に示すように、遅延回路30cの出力信号 $\phi 3$ がLレベルでありかつ遅延回路30dの出力信号 $\phi 4$ がHレベルのときに、制御信号 ϕCTF がHレベルとなる。他の制御信号 ϕP 、 ϕCP および ϕCT は、図6に示す回路と同じ部分から出力されており、同じタイミング関係を有する。この図12に示す制御回路を利用することにより、正確に、各電荷転送段において入力ノードに負電荷が供給され、電荷転送の準備ができたときに、電荷転送用の制御信号を与えて、電荷を出力ノードに転送することができ、また電流の逆流も防止することができる。

【0160】

以上のように、この発明の実施の形態5に従えば、電荷転送段を複数段縦続接続し、各電荷転送段に対して電荷転送および入力ノードのプリチャージを交互に実行しており、深い負電圧を低消費電流で生成することができる。

【0161】

[実施の形態6]

図14は、この発明の実施の形態6に従う電圧発生回路の構成を示す図である。この図14に示す電圧発生回路は、図3に示す電圧発生回路の構成に加えて、さらに、出力ノードOD11の電荷を最終出力ノードFODへ、制御信号 ϕPZ および $\phi CTFZ$ に従って伝達する電圧駆動段50を備える。

【0162】

この電圧駆動段50は、内部出力ノードOD11に対し、制御信号 ϕPZ に従ってチャージポンプ動作を行なう容量素子CCと、この容量素子CCの充電電荷を、制御信号 $\phi CTFZ$ に従って最終出力ノードFODへ伝達する電荷転送段XFPを含む。

【0163】

電荷転送段XFPは、内部出力ノードOD11と最終出力ノードFODの間に接続されかつそのゲートが内部ノードNDBに接続されるPチャネルMOSトランジスタPQaと、内部ノードNDBと最終出力ノードFODの間に接続されかつそのゲートが内部出力ノードOD11に接続されるPチャネルMOSトランジスタPQbと、制御信号 $\phi CTFZ$ を受ける制御信号入力ノードS52と内部ノードNDBの間に接続される容量素子Cbを含む。この電荷転送段XFPの入力ノードPDIが、内部出力ノードOD11に接続され、その出力ノードPDOが最終出力ノードFODに接続される。

【0164】

この図14に示す電圧発生回路の出力ノードOD11前段の電圧 $2 \cdot VCC$ を発生する回路は、電圧昇圧用の電荷を発生する部分と、この昇圧用の電荷を転送する部分とで構成され、これらの電荷発生部および電荷転送部の構成は、図3に示す回路と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0165】

図15は、図14に示す電圧発生回路の安定状態時の動作を示す信号波形図である。以

下、図15を参照して、この図14に示す電圧発生回路の安定状態時の動作について説明する。

【0166】

この図14に示す電圧発生回路は、図8に示す電圧発生回路のトランジスタの導電型および制御信号の極性および電圧極性を変更したものと同一である。基本的に、この図14に示す電圧発生回路において、ノードND12の電荷のチャージポンプ動作は、図3に示す回路と同じであり、制御信号 ϕ_{CPZ} に従って容量素子C12により、ノードND12が、電源電圧VCCと高電圧 $2 \cdot VCC$ の間で変化する。内部出力ノードOD11は、容量素子CCのチャージポンプ動作により、制御信号 ϕ_{PZ} に従ってその電圧レベルが変化する。したがって、内部出力ノードOD11は、電圧 $2 \cdot VCC$ と電圧 $3 \cdot VCC$ の間で変化する。この内部出力ノードOD11の電圧レベルが $3 \cdot VCC$ まで変化するため、内部ノードND13の電圧レベルも、電源電圧VCC、高電圧 $2 \cdot VCC$ および $3 \cdot VCC$ の間で変化する。

【0167】

時刻t11において、制御信号 ϕ_{PZ} が電源電圧VCCから接地電圧GNDに低下すると、出力ノードOD11は、容量素子CCのチャージポンプ動作により、電圧 $2 \cdot VCC$ レベルに設定される。このとき、ノードND12は、電源電圧VCCレベルであり、MOSトランジスタPQ12が導通状態にあるため、ノードND13の電圧レベルも、内部出力ノードOD11と同様、電圧 $2 \cdot VCC$ レベルとなる。応じて、MOSトランジスタPQ1は、ゲートおよびソースが同電位となり、非導通状態となる。

【0168】

時刻t12において、制御信号 ϕ_{CPZ} が電源電圧VCCレベルに上昇すると、ノードND12の電圧レベルが、高電圧 $2 \cdot VCC$ レベルとなる。応じて、MOSトランジスタPQ12が非導通状態となる。このとき、また、MOSトランジスタPQ11も、ゲート、ドレインおよびソースがすべて同じ電圧レベルであり、非導通状態を維持する。

【0169】

電圧駆動段50においては、制御信号 ϕ_{CTFZ} の電圧レベルは電源電圧VCCレベルであり、ノードNDBは、 $3 \cdot VCC$ レベルであり、MOSトランジスタPQaは非導通状態にある。MOSトランジスタPQbは、内部出力ノードOD11が電圧 $2 \cdot VCC$ レベルであり、導通状態を維持するものの、ノードNDBおよび最終出力ノードFODが同一電圧レベルであり、MOSトランジスタPQaを介しては電流は流れない。

【0170】

時刻t13において、制御信号 ϕ_{CTZ} が、電源電圧VCCから接地電圧GNDレベルに低下すると、ノードND13の電圧レベルが、電圧 $2 \cdot VCC$ から電源電圧VCCレベルに低下する。応じて、MOSトランジスタPQ11が導通し、内部出力ノードOD11と内部ノードND12間で電荷が転送される。この電荷転送動作は、内部ノードND12と出力ノードOD11の電圧レベルが等しくなると完了する。

【0171】

また、電荷転送時においては、MOSトランジスタPQ12は、ゲートおよびソースが同一電圧レベルに設定されるため非導通状態を維持する。また、この電荷転送時においては、ノードNDBの電圧レベルは $3 \cdot VCC$ であり、内部出力ノードOD11の電圧が $2 \cdot VCC$ であり、電荷転送用のPチャネルMOSトランジスタPQaは、非導通状態を維持する。

【0172】

時刻t14においては制御信号 ϕ_{CPZ} が、接地電圧から電源電圧VCCレベルに上昇し、応じてノードND13の電圧レベルが、電源電圧VCCから高電圧 $2 \cdot VCC$ レベルに上昇し、MOSトランジスタPQ11が非導通状態となる。このとき、MOSトランジスタPQ12は、ノードND12の電圧レベルが $2 \cdot VCC$ であり、そのしきい値電圧により、非導通状態を維持する。

【0173】

時刻 t_{15} において制御信号 ϕ_{CPZ} が電源電圧 V_{CC} から接地電圧 GND に低下すると、ノード ND_{12} の電圧レベルが、高電圧 $2 \cdot V_{CC}$ から電源電圧 V_{CC} レベルに容量素子 C_{12} のチャージポンプ動作により低下する。ノード ND_{12} の電圧レベルが、電源電圧 V_{CC} レベルに低下して、 P チャネル MOS トランジスタ PQ_{12} が導通すると、ノード ND_{13} および内部出力ノード OD_{11} へ電氣的に接続されても、その電圧レベルが等しく $2 \cdot V_{CC}$ レベルであり、安定状態時には電流は流れない。MOS トランジスタ PQ_{11} は、ゲートおよびソースが同一電位となり、非導通状態に維持される。

【0174】

時刻 t_{16} において制御信号 ϕ_{PZ} を接地電圧 GND から電源電圧 V_{CC} レベルに上昇させ、ノード ND_{11} を電源電圧 V_{CC} レベルに上昇させてノード ND_{12} を電源電圧 V_{CC} レベルに確実にプリチャージする。

【0175】

制御信号 ϕ_{PZ} の上昇により、容量素子 C_C がチャージポンプ動作を行ない、出力ノード OD_{11} を電圧 $2 \cdot V_{CC}$ から電圧 $3 \cdot V_{CC}$ レベルに上昇させる。この出力ノード OD_{11} の電圧レベルが $3 \cdot V_{CC}$ レベルに上昇すると、ノード ND_{12} の電圧レベルは、電源電圧 V_{CC} レベルであり、MOS トランジスタ PQ_{12} が導通し、ノード ND_{13} も、電圧 $3 \cdot V_{CC}$ レベルに上昇し、MOS トランジスタ PQ_{11} は非導通状態に維持される。

【0176】

時刻 t_{17} において制御信号 ϕ_{CTFZ} を電源電圧 V_{CC} レベルから接地電圧 GND レベルに低下させると、容量素子 C_b のチャージポンプ動作により、ノード ND_b の電圧レベルが電圧 $3 \cdot V_{CC}$ から電圧 $2 \cdot V_{CC}$ レベルに低下し、MOS トランジスタ PQ_a が導通し、出力ノード OD_{11} から最終出力ノード FOD へ電荷が転送され、この最終出力ノード FOD の電圧レベルが、確実に $3 \cdot V_{CC}$ レベルに維持される。この電荷転送動作時において、ノード NDB は、電圧 $2 \cdot V_{CC}$ レベルであり、また、出力ノード OD_{11} および最終出力ノード FOD は同一電圧レベルであり、ノード NDB よりも電圧レベルが高いため、MOS トランジスタ PQ_b は非導通状態を維持する。

【0177】

時刻 t_{18} において、制御信号 ϕ_{CTFZ} を再び接地電圧 GND から電源電圧 V_{CC} レベルに上昇させると、ノード NDB が容量素子 C_b のチャージポンプ動作によりその電圧レベルが上昇し、電圧 $3 \cdot V_{CC}$ となり、MOS トランジスタ PQ_a が非導通状態となる。

【0178】

時刻 t_{19} において制御信号 ϕ_{PZ} が電源電圧 V_{CC} から接地電圧 GND レベルに低下すると、出力ノード OD_{11} の電圧レベルが低下し、 $2 \cdot V_{CC}$ レベルとなる。このとき、MOS トランジスタ PQ_{12} は、導通状態にあるため、ノード ND_{13} の電圧レベルが $3 \cdot V_{CC}$ から電圧 $2 \cdot V_{CC}$ レベルに低下する。以降、この動作が繰返し実行される。

【0179】

したがって、電圧駆動段 50 を 1 段設け、内部ノードのプリチャージ動作期間中に、出力ノードをプリチャージして、電荷を転送することにより、この出力ノードの電圧を電圧 V_{CC} だけ高くすることができ、最終出力ノード FOD に、 $3 \cdot V_{CC}$ の電圧を発生することができる。

【0180】

なお、上述の説明においては、説明を簡単にするためにチャージポンプ動作初期の過渡時の動作については説明していない。しかしながら、実施の形態 4 の負電圧 $-2 \cdot V_{CC}$ を発生する回路の場合と同様の動作が行なわれ、エンハンスメント型トランジスタのしきい値電圧を利用して、無効電流の発生を防止して、最終出力電圧の電圧レベルを徐々に上昇させる。

【0181】

なお、最終出力ノード FOD に設けられる安定化容量 C_4 は、最終出力ノード FOD の

負荷変動が小さい場合には特に設ける必要がない。

【0182】

また、制御信号 ϕPZ 、 ϕCPZ 、 ϕCTZ および $\phi CTFZ$ は、図 12 に示す制御信号発生回路の出力信号を反転することにより生成することができる。

【0183】

したがって、実施の形態 2 と同様、これらの制御信号 ϕPZ 、 ϕCPZ 、 ϕCTZ および $\phi CTFZ$ は、接地電圧 GND と電源電圧 VCC の間で変化することが要求されず、構成要素の MOS トランジスタのオン/オフ条件を満たす限り、所望の電圧の間で変化する信号に置き換えられてもよい。

【0184】

以上のように、この発明の実施の形態 6 に従えば、電圧 $2 \cdot VCC$ を発生する回路の出力ノードにチャージポンプ用の容量素子を設け、さらに、1 段の電荷転送段を配置し、その電荷転送段の電荷転送トランジスタ PQa の導通/非導通を容量素子および出力ノード電位検出用の MOS トランジスタにより制御しており、不要な電荷の流れを生じさせることなく、効率的に電荷を使用して、高電圧 $3 \cdot VCC$ を発生することができる。

【0185】

[実施の形態 7]

図 16 は、この発明の実施の形態 7 に従う電圧発生回路の構成を概略的に示す図である。図 16 においては、内部ノード $ND12$ と最終出力ノード FOD の間に、電荷転送段 $XF P 1$ から $XF P n$ が縦続接続される。これらの電荷転送段 $XF P 1$ から $XF P n$ は、それぞれ、図 14 に示す電荷転送段電荷転送段 $XF P$ と同じ構成を有する。

【0186】

これらの電荷転送段 $XF P 2$ から $XF P n$ の入力ノード $ODP 1$ から $ODP n-1$ それぞれに対応して、容量素子 $CC 1$ から $CC n-1$ が配置される。これらの容量素子 $CC 1$ から $CC n-1$ には、制御信号入力ノード $S 1 1$ および $S 1 2$ を介して制御信号 ϕPZ および ϕCPZ が交互に与えられる。電荷転送段 $XF P 1$ から $XF P n$ それぞれに対しても制御信号入力ノード $S 1 3$ および $S 5 2$ をそれぞれ介して制御信号 ϕCTZ および $\phi CTFZ$ が交互に与えられる。したがって、奇数段の電荷転送段 $XF P 1$ 、 $XF P 3$ 、…に対しては、制御信号入力ノード $S 1 3$ を介して制御信号 ϕCTZ が与えられて電荷転送が行われ、偶数段の電荷転送段 $XF P 2$ 、…に対しては、制御信号入力ノード $S 5 2$ を介して制御信号 $\phi CTFZ$ が与えられて電荷転送が制御される。

【0187】

電荷転送段 $XF P 1$ から $XF P n$ が、それぞれ電源電圧 VCC だけ、与えられた電圧を昇圧する。したがって、最終出力ノード FOD には、電圧 $(n+1) \cdot VCC$ が生成される。

【0188】

このノード $ND 1 2$ における電荷蓄積動作を制御するために、交差結合される N チャネル MOS トランジスタ $NQ 1 1$ および $NQ 1 2$ と、ノード $ND 1 1$ および $ND 1 2$ に、制御信号 ϕPZ および ϕCPZ に従ってそれぞれチャージポンプ動作を行なう容量素子 $C 1 1$ および $C 1 2$ が設けられる。このノード $ND 1 2$ に対するチャージポンプ動作を実行する回路部分は、先の図 3 および図 14 に示す構成と同じである。したがって、ノード $ND 1 2$ は、電圧 VCC と高電圧 $2 \cdot VCC$ の間で電圧が変化する。

【0189】

図 17 は、図 16 に示す電圧発生回路の安定状態時の動作を示すタイミング図である。以下、図 17 を参照して、図 16 に示す電圧発生回路の安定時の動作を、図 14 を併せて参照して説明する。

【0190】

図 17 においては、電荷転送段 $XF P i-1$ 、 $XF P i$ 、 $XF P i+1$ の入力ノードおよび内部ノードの電圧波形を示す。電荷転送段 $XF P i-1$ および $XF P i+1$ には制御信号 ϕCTF が与えられ、電荷転送段 $XF P i$ には、制御信号 ϕCT が与えられる。各電

荷転送段 XFP_j の入力ノード NDI_j は、前段の電荷転送段 XFP_{j-1} の内部出力ノード ODP_{j-1} に接続される。図 17 においては、入力ノード NDI_i および NDI_{i+1} に対応する内部出力ノード ODI_{i-1} および ODI_i を示す。以下の説明においては、図 14 を参照するため、各電荷転送段の入力ノードの電位について説明する。

【0191】

制御信号 ϕPZ が接地電圧 GND レベルに低下すると、電荷転送段 XFP_{i-1} の入力ノード NDI_{i-1} は、電圧 $i \cdot VCC$ から電圧 $(i-1) \cdot VCC$ に低下する。同様、電荷転送段 XFP_{i+1} においても、その入力ノード NDI_{i+1} の電圧が、電圧 $(i+2) \cdot VCC$ から電圧 $(i+1) \cdot VCC$ に低下する。これらの電荷転送段 XFP_{i-1} および XFP_{i+1} において、内部ノード NDB_{i-1} および NDB_{i+1} の電圧レベルは、 MOS トランジスタ PQ_b が導通状態にあり、次段の電荷転送ゲート XFP_i および XFP_{i+2} の電圧レベルに応じた電圧レベルに設定される。

【0192】

一方、電荷転送段 XFP_i においては、次段の電荷転送段 XFP_{i+1} の入力ノード NDI_{i+1} の電圧レベルが $(i+1) \cdot VCC$ に低下すると、 MOS トランジスタ PQ_d が導通状態にあるため、その出力ノード NDB_i の電圧レベルは $(i+2) \cdot VCC$ から電圧 $(i+1) \cdot VCC$ に低下する。

【0193】

制御信号 ϕCPZ が、接地電圧 GND から電源電圧 VCC レベルに上昇すると、電荷転送段 XFP_i において、その入力ノード NDI_i の電圧レベルが対応の容量素子 CC_i のチャージポンプ動作により、電圧 $i \cdot VCC$ から電圧 $(i+1) \cdot VCC$ に上昇する。このノード NDI_i の電圧上昇により、電荷転送段 XFP_{i-1} における MOS トランジスタ PQ_b が導通状態にあるため、ノード NDB_{i-1} の電圧レベルが $(i+1) \cdot VCC$ に上昇し、対応の MOS トランジスタ PQ_a は非導通状態に維持される。

【0194】

同様、電荷転送段 XFP_{i+1} においても、その内部ノード NDB_{i+1} の電圧レベルが、電圧 $(i+3) \cdot VCC$ に上昇し、対応の P チャネル MOS トランジスタ PQ_a が非導通状態に維持される。

【0195】

制御信号 ϕCTZ が電源電圧 VCC から接地電圧 GND に低下すると、電荷転送段 XFP_i において、内部ノード NDB_i が電圧 $i \cdot VCC$ となり、 MOS トランジスタ PQ_a が導通し、その内部ノード NDI_i の電圧 $(i+1) \cdot VCC$ が、次段の電荷転送段 XFP_{i+1} の入力ノード NDI_{i+1} に伝達される。この電荷転送時、電荷転送段 XFP_{i-1} および XFP_{i+1} においては、 MOS トランジスタ PQ_a は非導通状態にあるため、電荷の逆流は防止される。

【0196】

制御信号 ϕCPZ が電源電圧 VCC レベルに上昇すると、電荷転送段 XFP_i において内部ノード NDB_i の電圧レベルが、電圧 $i \cdot VCC$ から電圧 $(i+1) \cdot VCC$ に上昇し、対応の P チャネル MOS トランジスタ PQ_a のゲート電位がソース電位以上となり、この MOS トランジスタ PQ_a が非導通状態となる。

【0197】

次いで、制御信号 ϕPZ が、接地電圧 GND から電源電圧 VCC に上昇すると、電荷転送段 XFP_{i-1} および XFP_{i+1} それぞれにおいて、対応の容量素子 CC_{i-1} および CC_{i+1} によるチャージポンプ動作により、それぞれの入力ノードの電圧レベルが電圧 VCC だけ上昇する。すなわち、電荷転送段 XFP_{i-1} の入力ノード NDI_{i-1} の電圧レベルが $i \cdot VCC$ となり、一方、電荷転送段 XFP_{i+1} の入力ノード NDI_{i+1} の電圧レベルが、 $(i+2) \cdot VCC$ となる。

【0198】

この状態において、電荷転送段 XFP_i において、 MOS トランジスタ PQ_b は、そのゲート電位がソース電位よりも低いため、導通状態となり、内部ノード NDB_i が、電荷

転送段 XFP_{i+1} の入力ノード NDI_{i+1} と同じ電圧 ($i+2$) VCC レベルに上昇し、 MOS トランジスタ PQ_a が非導通状態に維持され、電荷の逆流は防止される。

【0199】

この状態で、制御信号 $\phi CTFZ$ を電源電圧 VCC から接地電圧 GND に立下げることにより、電荷転送段 XFP_{i-1} および XFP_{i+1} において内部ノード NDB_{i-1} および NDB_{i+1} の電圧レベルが、電圧 VCC だけ低下し、対応の MOS トランジスタ PQ_a が導通し、入力ノード NDI_{i-1} から出力ノード ODP_{i-1} (NDI_i) への電荷転送が行なわれる。同様、電荷転送段 XFP_{i+1} においても、その入力ノード NDI_{i+1} からその出力ノードに対する電荷供給が行なわれる。

【0200】

以降この動作を繰返すことにより、各電荷転送段 $XFP_1 - XFP_n$ において交互にチャージポンプ動作を行なって、電圧 VCC の昇圧動作を行ない、最終出力ノード FOD に電圧 ($n+1$) VCC を生成することができる。

【0201】

なお、この高電圧発生回路においても、そのチャージポンプ動作開始の初期時においては、実施の形態 6 の場合と同様に、 MOS トランジスタのしきい値電圧を利用して非導通状態の設定が行なわれ、無効電流の発生は防止しつつ、各ノードの電位が、徐々に上昇して最終の安定電圧レベルに到達する。

【0202】

なお、この実施の形態 7 においても、制御信号 ϕPZ 、 ϕCPZ 、 ϕCTZ および $\phi CTFZ$ のハイレベル電圧およびローレベル電圧は、互いに等しくなくてもよい。

【0203】

以上のように、この発明の実施の形態 7 に従えば、電荷転送段を複数段縦続接続し、各電荷転送段の入力ノードを容量素子を用いてチャージポンプ動作を行なって、交互に電荷転送動作を行なわせており、低消費電流で所望のレベルの内部電圧を生成することができる。

【0204】

なお、制御信号 ϕPZ 、 ϕCPZ 、 ϕCTZ および $\phi CTFZ$ は、図 12 に示す制御信号発生回路の出力信号を、すべて反転することにより生成することができる。

【0205】

[実施の形態 8]

図 18 は、この発明の実施の形態 8 に従う電圧発生回路の構成を示す図である。図 18 に示す電圧発生回路は、図 1 に示す電圧発生回路と以下の点でその構成が異なる。すなわち、交差結合される P チャネル MOS トランジスタ PQ_1 および PQ_2 に代えて、電荷転送段を構成する N チャネル MOS トランジスタ NQQ_1 および NQQ_2 が用いられる。 N チャネル MOS トランジスタ NQQ_1 は、プリチャージ電圧供給ノード NDD_2 と内部ノード ND_2 の間に接続されかつそのゲート (制御電極) が内部ノード (第 1 の内部ノード) NDD_1 に接続される。このプリチャージ電圧供給ノード NDD_2 は、基準電圧である接地電圧 GND を供給する接地ノード GG に接続される。

【0206】

N チャネル MOS トランジスタ NQQ_2 は、内部ノード NDD_1 および ND_2 の間に接続されかつそのゲートが、制御信号 ϕP を受ける制御信号入力ノード S_1 に結合される。内部ノード NDD_1 は、容量素子 CQ_1 を介して、制御信号 ϕCTF を受ける入力ノード S_{32} に結合される。

【0207】

内部ノード ND_2 と出力ノード OD_1 の間に設けられる電荷転送段の構成は、図 1 に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0208】

また、制御信号 ϕCTF 、 ϕP 、 ϕCP および ϕCT は、接地電圧 GND と電源電圧 VCC の間で変化し、これらの制御信号は、図 12 に示す制御回路から生成される。

【0209】

MOSトランジスタNQQ1およびNQQ2がそれぞれ、第1および第2のトランジスタを構成し、容量素子CQ1が、第1の容量素子を構成する。制御信号 ϕ CTFが、第1の制御信号に相当し、制御信号 ϕ Pが、第2の制御信号に相当する。MOSトランジスタNQQ1およびNQQ2がそれぞれ、第3および第4のトランジスタを構成し、容量素子C2およびC3がそれぞれ、第2および第3の容量素子を構成する。制御信号 ϕ CPおよび ϕ CTが、それぞれ、第3および第4の制御信号に相当する。また、MOSトランジスタは全てエンハンスメント型である。

【0210】

図19は、図18に示す電圧発生回路の動作を示す信号波形図である。また、図19を参照して、図18に示す電圧発生回路の動作について説明する。ここで、図19においては、出力ノードOD1において負電圧 $-VCC$ が生成されているときの信号波形を示す。

【0211】

時刻 t_0 においては、制御信号 ϕ P、 ϕ CTおよび ϕ CTFはすべてLレベルであり、制御信号 ϕ CPがHレベルである。この状態においては、内部ノードND2は、制御信号 ϕ CPを受ける容量素子C2のチャージポンプ動作により、接地電圧GNDレベルになる。内部ノードND3は、容量素子C3のチャージポンプ動作により、負電圧 $-VCC$ レベルになる。この安定状態においては、内部ノードND2が接地電圧GNDレベルのときには、MOSトランジスタNQQ2が、導通し（出力ノードOD1の電圧レベルは負電圧 $-VCC$ レベル）、内部ノードND3は、出力ノードOD1と同一電圧レベルに設定される。

【0212】

内部ノードND1は、また、容量素子CQ1のチャージポンプ動作により、接地電圧GNDレベルである。制御信号 ϕ Pが接地電圧レベルのLレベルであり、MOSトランジスタNQQ2は、非導通状態にある。

【0213】

時刻 t_1 において、制御信号 ϕ Pが電源電圧 VCC レベルのHレベルに立上がる。この制御信号 ϕ Pの立上がりに対応して、MOSトランジスタNQQ2が導通し、内部ノードND1およびND2が電氣的に結合され、同一電圧レベルに設定される（接地電圧レベルに設定される）。

【0214】

時刻 t_2 において、制御信号 ϕ PがHレベルの状態、制御信号 ϕ CPがLレベル（接地電圧GNDレベル）に立下がる。この制御信号 ϕ CPの立下がりに対応して、容量素子C2のチャージポンプ動作により、ノードND2の電圧レベルが低下する。MOSトランジスタNQQ2が導通状態であるため、この容量素子C2のチャージポンプ動作により、ノードND1およびND2の電圧レベルが、ともに接地電圧から負電圧 $-VCC$ レベルにまで低下する。容量素子C2の容量値を、容量素子CQ1の容量値よりも十分に大きくすることにより、内部ノードND1およびND2をともに、接地電圧GNDレベルから、負電圧 $-VCC$ レベルまで低下させることができる。

【0215】

内部ノードND2の電圧レベルが負電圧 $-VCC$ レベルに低下すると、出力電荷転送段のMOSトランジスタNQQ2が非導通状態となり、内部ノードND3と出力ノードOD1が分離され、内部ノードND3は、フローティング状態となる。

【0216】

この状態で、時刻 t_3 において、制御信号 ϕ CTを、接地電圧GNDレベルから電源電圧 VCC レベルへ立上げる。この制御信号 ϕ CTの立上がりに対応して、容量素子C3のチャージポンプ動作により、ノードND3の電圧レベルが、負電圧 $-VCC$ から接地電圧GNDレベルに上昇し、MOSトランジスタNQQ1が導通し、内部ノードND2と出力ノードOD1が電氣的に結合される。出力ノードOD1の電圧レベルが、内部ノードND2の電圧レベルよりも高い場合には、出力ノードOD1から内部ノードND2へ正電荷が移動し、出力ノードOD1の電圧レベルが低下する。

【0217】

内部ノードND3の電圧レベルは、接地電圧GNDレベルであり、定常状態時においては、MOSトランジスタNQ1のゲートソース間電圧は、電源電圧VCCレベルであり、MOSトランジスタNQ1のしきい値電圧の影響を受けることなく、内部ノードND2および出力ノードOD1の間で、電荷を移動させることができる。

【0218】

MOSトランジスタNQ1が導通し、内部ノードND2と出力ノードOD1の間で電荷が移動する場合、MOSトランジスタNQ2のゲートおよびソースが同一電位レベルとなる。MOSトランジスタNQ2はエンハンスメント型トランジスタであり、この状態においては、そのしきい値電圧により、非導通状態を維持する。

【0219】

時刻t4において、制御信号 ϕ_{CT} をHレベルからLレベルに立下げると、容量素子C3のチャージポンプ動作により、内部ノードND3の電圧レベルが、再び負電圧 $-VCC$ レベルに低下し、MOSトランジスタNQ1が非導通状態となる。

【0220】

この内部ノードND2と出力ノードOD1の間の電荷の移動時においては、MOSトランジスタNQ2が導通状態であり、内部ノードNDD1およびND2は電氣的に結合されており、この内部ノードND2へ、内部ノードNDD1から負電荷を供給することができる。このとき、MOSトランジスタNQ1は、内部ノードNDD1の電位が、内部ノードND2の電位と同程度であり、ゲートソース間電圧がしきい値電圧以下であり、非導通状態を維持する。

【0221】

時刻t5において、制御信号 ϕ_{CP} を、接地電圧GNDレベルのLレベルから電源電圧VCCレベルのHレベルに立上げる。この制御信号 ϕ_{CP} の立上がりに対応して、容量素子C2のチャージポンプ動作により、内部ノードND2の電位が、負電圧 $-VCC$ レベルから上昇する。このとき、制御信号 ϕ_P は、電源電圧VCCレベルであり、MOSトランジスタNQ2が、導通状態を維持しているため、内部ノードNDD1およびND2が、ともに、接地電圧GNDレベルにまで、それらの電位レベルが上昇する。

【0222】

時刻t6において、制御信号 ϕ_P をLレベルに立下げ、MOSトランジスタNQ2を、非導通状態に設定すると、内部ノードND2およびNDD1が、電氣的に分離される。

【0223】

時刻t7において、制御信号 ϕ_{CTF} をHレベルに立上げると、容量素子CQ1のチャージポンプ動作により、内部ノードNDD1の電圧レベルが、接地電圧GNDレベルから電源電圧VCCレベルに上昇する（MOSトランジスタNQ2は、非導通状態にある）。この内部ノードNDD1の電位レベル上昇に従って、MOSトランジスタNQ1が導通し、内部ノードND2が、接地電圧GNDレベルにプリチャージされる。

【0224】

時刻t8において、制御信号 ϕ_{CTF} がLレベルに立下がると、容量素子CC1のチャージポンプ動作により、内部ノードNDD1の電位が、再び接地電圧GNDレベルに低下し、MOSトランジスタNQ1が、非導通状態となる（ノードND2が接地電圧レベル）。

【0225】

以後、時刻t0からt8の動作を繰返すことにより、出力ノードOD1には、内部ノードND2の電位振幅に応じて、負電圧 $-VCC$ が生成される。この出力ノードOD1の負電圧 $-VCC$ は、安定化の容量素子4により、安定に維持される。

【0226】

出力ノードOD1の電圧レベルが安定化するまでの過渡状態においては、時刻t7から時刻t8の間の制御信号 ϕ_{CTF} のHレベルに従ってノードNDD1が、電源電圧VCCレベルとなり、MOSトランジスタNQ1が導通し、内部ノードND2が接地ノードに

結合されて、接地電圧レベルに設定される。MOSトランジスタNQQ1を非導通状態とした後、制御信号 ϕ_{CP} がHレベルからLレベルに低下することにより、内部ノードND2が、負電圧 $-V_{CC}$ レベルとなり、MOSトランジスタNQQ1の導通時、出力ノードOD1から内部ノードND2へ正電荷が流入し（内部ノードND2から出力ノードOD1へ負電荷が流出し）、出力ノードOD1の電圧レベルが徐々に低下する。

【0227】

この過渡状態の電荷の移動時においても、内部ノードND2の電圧レベルが負電圧 $-V_{CC}$ レベルであり、MOSトランジスタNQQ2は、そのゲート電位がソースおよびドレイン電圧以下であり、非導通状態を維持しており、この状態で、制御信号 ϕ_{CT} に従ってMOSトランジスタNQQ1を導通状態に維持することができる。したがって、過渡状態時においても、確実に出力ノードOD1へ負電荷を供給してその電位レベルを徐々に低下させることができる。

【0228】

この図18に示す電圧発生回路の構成においては、NチャネルMOSトランジスタのみが使用されている。したがって、PチャネルMOSトランジスタとNチャネルMOSトランジスタを分離するための領域が不要となり、回路占有面積が低減される。また、PチャネルMOSトランジスタを形成するための工程が不要となり、製造工程数を低減でき、応じて製造コストを低減することができる。

【0229】

また、MOSトランジスタNQQ1、NQQ2、NQQ1およびNQQ2のゲート電位は、それぞれ、制御信号 ϕ_{CT} 、 ϕ_{CP} 、 ϕ_{CTF} および ϕ_P により個々に制御している。したがって、これらの制御信号のタイミングを適切に設定することにより、無効電荷が流れる経路を遮断した後に電荷を転送することができ、無効電荷が流れるのを防止することができ、効率的に負電荷を出力ノードOD1へ転送して負電圧 $-V_{CC}$ を生成することができる。

【0230】

また、この図18に示す構成においても、先の図1に示す実施の形態1の構成の場合と同様、制御信号 ϕ_{CT} 、 ϕ_{CP} 、 ϕ_P および ϕ_{CTF} の振幅およびMOSトランジスタNQQ1が結合されるプリチャージ電圧供給ノードとしての接地ノードOGGへ与えられる電圧のレベルを適当な値に設定することにより、この出力ノードOD1から生成される電圧を所望の電圧レベルに設定することができる。

【0231】

以上のように、この発明の実施の形態8に従えば、電荷転送段を縦続接続して、これらの電荷転送段の電荷転送を交互に実行し、かつこれらの電荷転送段の接続する内部ノードのプリチャージおよび電荷蓄積を交互に実行しており、効率的に電荷を利用して所望の電圧レベルの負電圧を生成することができる。また、同一導電型のMOSトランジスタで回路を構成しており、PおよびNMOSトランジスタ分離のための領域が不要となり、また、製造工程数も低減され、製造コストを低減することができる。

【0232】

〔実施の形態9〕

図20は、この発明の実施の形態9に従う電圧発生回路の構成を示す図である。この図20に示す電圧発生回路は、図3に示す電圧発生回路と、以下の点が、その構成が異なる。すなわち、図3に示す交差結合されるNチャネルMOSトランジスタNQQ11およびNQQ12に代えて、PチャネルMOSトランジスタPQQ1およびPQQ2が用いられる。PチャネルMOSトランジスタPQQ1は、プリチャージ電圧供給ノードNDD12と内部ノードND12の間に接続されかつそのゲートが内部ノードNDD13に接続される。

【0233】

プリチャージ電圧供給ノードNDD12は、電源電圧 V_{CC} を供給する電源ノードPWに接続され、内部ノードND12を電源電圧 V_{CC} レベルにプリチャージするための電荷を供給する。内部ノードNDD13は、容量素子CQ13を介して、制御信号 ϕ_{CTFZ}

を受ける入力ノードS52に結合される。出力ノードOD11には、高電圧 $2V_{CC}$ ($=2 \cdot V_{CC}$)が生成される。

【0234】

PチャネルMOSトランジスタPQQ2は、内部ノードND12と内部ノードNDD13の間に接続されかつそのゲートが、制御信号 ϕ_{PZ} を受ける入力ノードS11に接続される。

【0235】

内部ノードND12と出力ノードOD11の間で電荷を転送する電荷転送段の構成は、図3に示す構成と同じであり、対応するものには同一参照番号を付し、その詳細説明は省略する。

【0236】

この内部ノードND12は、制御信号 ϕ_{CPZ} を受ける入力ノードS12に、容量素子C12を介して結合される。

【0237】

これらの制御信号 ϕ_{PZ} 、 ϕ_{CPZ} 、 ϕ_{CTZ} および ϕ_{CTFZ} は、制御信号発生回路の出力する制御信号 ϕ_P 、 ϕ_{CP} 、 ϕ_{CT} および ϕ_{CTF} をインバータにより反転することにより生成される。

【0238】

この図20に示す構成において、MOSトランジスタPQQ1およびPQQ2が、それぞれ、第1および第2のトランジスタに対応し、MOSトランジスタPQ11およびPQ12がそれぞれ、第3および第4のトランジスタに対応する。制御信号 ϕ_{CTFZ} 、 ϕ_{PZ} 、 ϕ_{CPZ} および ϕ_{CTZ} が、それぞれ、第1、第2、第3および第4の制御信号に相当する。また、容量素子、CQ13、C12およびC13が、それぞれ、第1、第2、および第3の容量素子に対応する。

【0239】

図21は、図20に示す電圧発生回路の動作を示す信号波形図である。図20に示す電圧発生回路は、出力ノードOD11に、電源ノードPWに与えられる電圧 V_{CC} を基準として、 $2V_{CC}$ の電圧を発生する。したがって、この図20に示す電圧発生回路の動作波形は、図18に示す電圧発生回路の信号およびノードの電圧極性を反転し、各内部ノードの電圧を電源電圧 V_{CC} を基準として測定することにより得られる。したがって、以下においては、図21を参照して簡単に、図20に示す電圧発生回路の動作について説明する。

【0240】

時刻 t_0 において、制御信号 ϕ_{PZ} 、 ϕ_{CTZ} および ϕ_{CTFZ} は、電源電圧 V_{CC} レベルのHレベルであり、制御信号 ϕ_{CPZ} が、接地電圧GNDレベルのLレベルである。この状態においては、ノードND12は、電源電圧 V_{CC} レベルであり、またノードNDD13は、電源電圧 V_{CC} レベルである。MOSトランジスタPQQ2は、非導通状態にあり、また、MOSトランジスタPQQ1も、非導通状態にある。ノードND13は、容量素子C13のチャージポンプ動作により、先の実施の形態2と同様、高電圧 $2V_{CC}$ レベルであり、MOSトランジスタPQ11は非導通状態にある。一方、MOSトランジスタPQ12が導通状態にあり、内部ノードND13は、出力ノードOD11と電気的に結合されている。

【0241】

時刻 t_1 において、制御信号 ϕ_{PZ} が、Hレベル（電源電圧 V_{CC} レベル）からLレベル（接地電圧GNDレベル）に立下がり、MOSトランジスタPQQ2が、導通状態となり、内部ノードNDD13を内部ノードND12に電気的に結合する。MOSトランジスタPQQ1は、ゲート、ソースおよびドレイン電圧など、すべて同じであり、非導通状態に維持する。

【0242】

時刻 t_2 において、制御信号 ϕ_{CPZ} が、LレベルからHレベルに立上がる。この制御

信号 ϕ CPZ の立上がりに応答して、ノードND12 は、その電圧レベルが、容量素子C12 のチャージポンプ動作により、電源電圧VCC レベルから、この制御信号 ϕ CPZ の振幅VCC だけ高い高電圧2VCC レベルに上昇する。このとき、MOS トランジスタPQQ2 が導通状態にあるため、ノードNDD13 が、高電圧2VCC レベルにまで、その電圧レベルが上昇する。容量素子C12 の容量値を、容量素子CQ13 の容量値よりも十分大きくすることにより、ノードNDD12 の充電動作時、同様、ノードNDD13 を高電圧2・VCC レベルにまで充電することができる。このノードNDD13 の電位レベルの上昇により、MOS トランジスタPQQ1 は、非導通状態となる。

【0243】

また、内部ノードND12 の電位レベルの上昇に従って、MOS トランジスタPQ12 が非導通状態となり（出力ノードOD11 の電位レベルは、2VCC）、内部ノードND13 が、出力ノードOD11 から切り離される。

【0244】

時刻 t3 において、制御信号 ϕ CTZ がHレベルからLレベルに立下がり、内部ノードND13 の電位レベルが高電圧2VCC から電源電圧VCC レベルに容量素子C13 のチャージポンプ動作により低下する。この内部ノードND13 の電位が電源電圧VCC レベルに低下すると、MOS トランジスタPQ11 が導通し、内部ノードND12 と出力ノードOD11 の間で電荷が移動する。MOS トランジスタPQ11 のしきい値電圧の絶対値が、電源電圧VCC よりも十分小さいため、MOS トランジスタPQ11 のしきい値電圧の影響を受けることなく、内部ノードND12 と出力ノードOD11 の間で電荷を転送することができる。出力ノードOD11 の電圧レベルが2VCC よりも低い場合には、内部ノードND12 から正電荷が出力ノードOD11 へ伝達され、出力ノードOD11 の電圧レベルが上昇する。

【0245】

時刻 t4 において、制御信号 ϕ CTZ がLレベルからHレベルに立上がり、内部ノードND13 の電位レベルが、再び高電圧2VCC レベルに容量素子C13 のチャージポンプ動作により上昇する。応じて、MOS トランジスタPQ11 が非導通状態となり、電荷転送動作の期間が完了する。このとき、内部ノードND12 の電位レベルが、内部ノードND13 の電位レベルよりも低く、MOS トランジスタPQ12 が導通状態となっても、内部ノードND13 から出力ノードOD11 へ、正電荷がMOS トランジスタPQ12 を介して伝達される。応じて、出力ノードOD11 の電圧レベルが上昇するため、流出電荷が有効に利用され、何ら無効電流は流れない。これは、実施の形態2の場合と同様である。

【0246】

時刻 t5 において、制御信号 ϕ CPZ が、HレベルからLレベルに低下し、応じて、容量素子C12 のチャージポンプ動作により、内部ノードND12 の電圧レベルが、高電圧2VCC から電源電圧VCC レベルに低下する。内部ノードND12 が、電源電圧VCC レベルとなると、MOS トランジスタPQ12 が導通状態となり、ノードND13 と出力ノードOD11 とが同一電位となり、MOS トランジスタPQ11 が非導通状態となり、内部ノードND13 と出力ノードOD11 が、分離される（出力ノードOD11 の電圧レベルが電源電圧VCC よりも高い場合）。

【0247】

また、MOS トランジスタPQQ2 が導通状態にあるため、この内部ノードND12 の電位変化に従って、内部ノードNDD13 は、正の高電圧2VCC から電源電圧VCC レベルにその電圧レベルが低下する。この状態においては、エンハンスメント型のMOS トランジスタPQQ1 は、そのゲートおよびソースの電位が同じであり、非導通状態を維持するため、内部ノードND12 から電源ノードPW へは電荷は流れない。

【0248】

時刻 t6 において、制御信号 ϕ PZ をLレベルからHレベルに立上げると、MOS トランジスタPQQ2 は、ゲートおよびソースの電位が等しくなるため、非導通状態となり、内部ノードNDD13 と内部ノードND12 とが電氣的に分離される。

【0249】

時刻 t_7 において、制御信号 ϕ_{CTFZ} が H レベルから L レベルに低下すると、容量素子 $CQ13$ のチャージポンプ動作により、内部ノード $NDD13$ の電圧レベルが、電源電圧 VCC から接地電圧 GND レベルに低下し、MOS トランジスタ $PQQ1$ が導通し、内部ノード $ND12$ が電源ノード PW に結合され、内部ノード $ND12$ が、電源電圧 VCC レベルにプリチャージされる。

【0250】

時刻 t_8 において、制御信号 ϕ_{CTFZ} が L レベルから H レベルに再び立上がり、内部ノード $NDD13$ の電圧レベルが、容量素子 $CQ13$ のチャージポンプ動作により、再び電源電圧 VCC レベルとなると、MOS トランジスタ $PQQ1$ が非導通状態となり、内部ノード $ND12$ のプリチャージ動作が完了する。

【0251】

以降、時刻 t_0 から時刻 t_8 の動作を繰返すことにより、出力ノード $OD11$ に、高電圧 $2VCC$ を生成することができる。

【0252】

出力ノード $OD11$ からの電圧が高電圧 $2VCC$ に到達するまでの過渡状態においては、時刻 t_7 から時刻 t_8 の間の制御信号 ϕ_{CTFZ} が、L レベル（接地電圧 GND レベル）に下がると、MOS トランジスタ $PQQ1$ が導通し、内部ノード $ND12$ が、電源電圧 VCC レベルにプリチャージされる。出力ノード $OD11$ の電圧レベルが電源電圧 VCC よりも低い場合には、MOS トランジスタ $PQ12$ は、確実にオフ状態に維持される。制御信号 ϕ_{CPZ} が、電源電圧 VCC レベルに上昇すると、内部ノード $ND12$ の電圧レベルが、高電圧 $2VCC$ レベルになると、MOS トランジスタ $PQQ1$ が非導通状態となり、内部ノード $ND12$ から電源ノード PW への電流の流れが遮断される。また、MOS トランジスタ $PQ12$ は、そのゲート電位が、ソースおよびドレイン電位よりも高くなり、確実に非導通状態に設定される。

【0253】

制御信号 ϕ_{CTZ} が、L レベルに低下すると、内部ノード $ND13$ の電位レベルが過渡動作時においては電源電圧 VCC レベル以下となり、MOS トランジスタ $PQ11$ は、そのゲート電位がソース電位よりも低くなって導通し、内部ノード $ND12$ から出力ノード $OD11$ へ正電荷が供給され、出力ノード $OD11$ の電圧レベルが上昇する。

【0254】

この過渡状態時において、ノード $ND13$ の電圧レベルは、電源電圧 VCC と高電圧 $2VCC$ との間で変化する。出力ノード $OD11$ の電圧が電源電圧以上となるまでは、MOS トランジスタ $PQ12$ が非導通状態を維持する。この状態では、内部ノード $ND13$ の電圧レベルが、電源電圧 VCC と接地電圧 GND の間で変化し、内部ノード $ND13$ が、制御信号 ϕ_{CPZ} に従って接地電圧レベルに設定されたとき、MOS トランジスタ $PQ11$ が導通し、出力ノード $OD11$ へ正電荷を供給してその電圧レベルを上昇させる。

【0255】

MOS トランジスタ $PQ12$ が、出力ノード $OD11$ の電圧レベルが電源電圧 VCC 以上となり、導通し始めると、内部ノード $ND13$ の電圧レベルも、出力ノード $OD11$ の電圧レベルと同様に上昇し（MOS トランジスタ $PQ12$ が導通し始めると）、内部ノード $ND13$ の電圧レベルも、出力ノード $OD11$ の電圧レベルに応じて上昇する。この場合、出力ノード $OD11$ から内部ノード $ND13$ へ流れる電荷は、内部ノード $ND13$ の電位レベルを上昇させて、MOS トランジスタ $PQ12$ および $PQ11$ を、制御信号 ϕ_{CTZ} および ϕ_{CPZ} に従って導通／非導通状態に設定するために用いられており、何ら無効電流は流れない。

【0256】

したがって、この図 20 に示す電圧発生回路においても、実施の形態 8 と同様、何ら無効電流を生じさせることなく効率的に電荷を転送して、高電圧 $2VCC$ を出力ノード $OD11$ に生成することができる。

【0257】

また、この図20に示す電圧発生回路においては、PチャネルMOSトランジスタが用いられているだけである。したがって、実施の形態8と同様、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタ両者を製造する必要がなく、回路占有面積および製造工程数を低減でき、応じて製造コストを低下させることができる。

【0258】

また、この実施の形態9においても、制御信号 ϕPZ 、 ϕCPZ 、 ϕCTZ および $\phi CTFZ$ の振幅は、電源電圧VCCレベルであり、電源電圧VCCを基準電圧として、この振幅だけ高い高電圧にVCCを生成している。しかしながら、この電源ノード（プリチャージ電圧供給ノード）へ与えられる電圧が電源電圧VCCと異なる電圧レベルであり、また制御信号 ϕPZ 、 ϕCPZ 、 ϕCTZ および $\phi CTFZ$ の振幅が電源電圧VCCと異なる場合には、出力ノードOD11に、この基準プリチャージ電圧供給ノード（電源ノードPW）に供給される電圧を基準として、制御信号 ϕCPZ の振幅の高電圧を、出力ノードOD11に生成することができる。

【0259】

以上のように、この発明の実施の形態9に従えば、PMOSトランジスタを利用して、ここにゲート電圧を制御して電荷の蓄積および転送を行っており、無効電流を生じさせることなく所望の電圧レベルの正の高電圧を生成することができる。

【0260】

[実施の形態10]

図22は、この発明の実施の形態10に従う電圧発生回路の構成を示す図である。この図22に示す電圧発生回路は、プリチャージ電圧供給ノードNDD2は、制御信号 ϕP を受ける入力ノードS1に結合される。この図22に示す電圧発生回路の他の構成は、図18に示す電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0261】

MOSトランジスタNQQ1は、制御信号 ϕCTF に従って、確実に内部ノードND2を接地電圧GNDレベルにプリチャージするために設けられる。制御信号 ϕCTF がHレベル（電源電圧VCCレベル）となると、制御信号 ϕP は、Lレベル（接地電圧GNDレベル）である（図19参照）。したがって、このMOSトランジスタNQQ1の導通時、制御信号 ϕP に従って内部ノードND2を接地電圧レベルにプリチャージすることができる。

【0262】

制御信号 ϕP がHレベル（電源電圧VCCレベル）のとき、制御信号 ϕCTF は、Lレベル（接地電圧GNDレベル）である。この状態においては、MOSトランジスタNQQ2が導通状態にあり、内部ノードND1およびND2が電氣的に結合され、MOSトランジスタNQQ1は、そのゲートおよびソースの電位が等しく、非導通状態に維持される。したがって、内部ノードND2の電位レベル低下時において、この制御信号入力ノードS1から内部ノードND2へ電流が流入するのは、確実に防止される。

【0263】

この図22に示す電圧発生回路の動作波形は、したがって、図18に示す電圧発生回路に対して示される図19の動作波形図で与えられる。接地電圧GNDを負電圧 $-VCC$ 発生のために使用する必要がなく、回路構成およびレイアウトが簡略化される。単に安定化容量4において、その他方電極が、接地ノードGGに結合されるだけであり、この安定化容量4は適当な位置に配置することができる。従って、この電圧発生回路は、電源線および接地線の配線レイアウトの制約を受けることなく、回路配置位置の制約が緩和され、この電圧発生回路を組み込む半導体装置における電圧発生回路の配置位置の自由度が改善される。

【0264】

[実施の形態11]

図23は、この発明の実施の形態11に従う電圧発生回路の構成を示す図である。この図23が示す電圧発生回路は、図20に示す電圧発生回路と以下の点でその構成が異なる。すなわち、PチャネルMOSトランジスタPQQ1に結合されるプリチャージ電圧供給ノードNDD12が、制御信号 ϕ PZを受ける制御信号入力ノードS11に結合される。この図23に示す電圧発生回路の他の構成は、図20に示す電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0265】

MOSトランジスタPQQ1は、内部ノードND12を、電源電圧VCCレベルにプリチャージするために設けられる。制御信号 ϕ PZは、MOSトランジスタPQQ1を導通状態に設定する制御信号 ϕ CTFZがLレベルのときには、電源電圧VCCレベルのHレベルである。したがって、このMOSトランジスタPQQ1の導通時、制御信号 ϕ PZにより内部ノードND12を電源電圧VCCレベルにプリチャージすることができる。従って、この図23に示す電圧発生回路の動作波形は、図21に示す動作波形で与えられ、図20に示す電圧発生回路と同様の動作を実現することができる。

【0266】

制御信号 ϕ PZがLレベルのときには、制御信号 ϕ CTFZがHレベルであり、MOSトランジスタPQQ2により、内部ノードNDD13およびND12が、電氣的に結合される。したがってMOSトランジスタPQQ1は、そのゲートおよびソース（内部ノードND12）の電位が等しくなるため、非導通状態を維持し、内部ノードND12から入力ノードS11へ電流が流れるのは確実に抑制される。

【0267】

したがって、図23に示す電圧発生回路を用いて、図20に示す電圧発生回路と同様、正の高電圧2VCCを生成することができる。

【0268】

この図23に示す電圧発生回路においては、高電圧2VCCを生成するために、電源電圧VCCが利用されない。したがって、回路の構成を簡略化することができ、また配線レイアウトも簡略化することができる。また、電源電圧VCCは、何ら電圧発生回路においては利用されないため、電源電圧VCCの配線レイアウトの影響を受けることなく電圧発生回路を配置することができる（半導体集積回路の内部回路として設けられる場合）。この電圧発生回路は、また、1つの回路ブロックのマクロとして、システムLSIなどの構成において配置されてもよい。

【0269】

以上のように、この発明の実施の形態11に従えば、内部ノードプリチャージのために制御信号を利用しており、電源が不要となり、回路構成が簡略化される。

【0270】

〔実施の形態12〕

図24は、この発明の実施の形態12に従う電圧発生回路の構成を示す図である。この図24に示す電圧発生回路は、図10(A)に示す電圧発生回路と、その構成が、以下の点で異なる。すなわち、図10(A)に示す交差結合されるPチャネルMOSトランジスタPQ1、PQ2により負電荷生成段を構成する代わりに、図18に示すNチャネルMOSトランジスタNQQ1およびNQQ2と、容量素子CQ1およびC2とで、この負電荷生成段を構成する。

【0271】

内部ノードND2と最終出力ノードFODの間に、図10(A)に示す構成と同様、複数段の電荷転送段XFN1-XFNnが直列に接続される。この内部ノードND2から最終出力ノードFODの間に配置される構成は、図10(A)に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。電荷転送段XFN1-XFNnそれぞれの構成は、図10(B)に示す電荷転送段XFNの構成と同じである。

【0272】

この図24に示す電圧発生回路においては、内部ノードND2は、その電圧レベルが、

接地電圧GNDと負電圧 $-V_{CC}$ の間で変化し、電荷転送段XFN1により、内部出力ノードOD1へ内部ノードND2からの負電荷が供給される。この負電荷の内部ノードND2から内部出力ノードOD1への転送時においては、制御信号 ϕ_P は、Hレベルであり、内部出力ノードOD1は、負電圧 $-V_{CC}$ レベルにプリチャージされており（安定動作時）、内部出力ノードOD1の電圧レベルが確実に転送制御信号 ϕ_{CT} に従って負電圧 $-V_{CC}$ レベルに設定される。電荷転送動作時においては、MOSトランジスタNQ2は非導通状態であり、MOSトランジスタNQ1は、内部ノードND3が制御信号 ϕ_{CT} に従って接地電圧レベルとなり、応じて導通し、負電圧をノードND2およびOD1の間で転送することができる。

【0273】

制御信号 ϕ_{CP} がHレベルとなると、内部ノードND2が接地電圧レベルとなり、MOSトランジスタNQ2が導通し、内部出力ノードOD1と内部ノードND3とが電氣的に接続され、MOSトランジスタNQ1が確実に非導通状態に設定される。

【0274】

ついで、制御信号 ϕ_P がHレベルからLレベルに立下がると、内部出力ノードOD1の電圧レベルが、負電圧 $-V_{CC}$ から負電圧 $-2V_{CC}$ に低下する。この状態においては、MOSトランジスタNQ2が導通状態にあり、MOSトランジスタNQ1は、そのソースおよびドレインが同一電位となり、非導通状態を維持する。従って、負電荷の逆流は生じない。

【0275】

以降、先の図10(A)に示す構成と同様、電荷転送段XFN2-XFNnそれぞれにおいて、制御信号 ϕ_{CP} および ϕ_P の振幅 V_{CC} に等しい電圧降下が生じる。したがって、電荷転送段XFNn-1の出力ノードODn-1の電位は、負電圧 $-(n-1)V_{CC}$ と負電圧 $-n \cdot V_{CC}$ の間で変化する。最終段の電荷転送段XFNnが、制御信号 ϕ_{CTF} に従って、最終出力ノードOFODへ負電荷を供給する。したがって、この最終出力ノードOFODには、図10(A)に示す構成と同様 $-n \cdot V_{CC}$ の負電圧が発生する。

【0276】

なお、この図24に示す電圧発生回路の構成において、内部ノードND2に対し、容量素子C2が設けられており、最終出力ノードFODには、負電圧 $-n \cdot V_{CC}$ が生成される。この容量素子C2を用いて内部ノードND2を、接地電圧GNDと負電圧 $-V_{CC}$ の間で負の電位を変化させることにより、電荷転送段XFN1において、制御信号 ϕ_{CT} に応答して内部の電荷転送用のMOSトランジスタ(NQ1)の導通時、確実に、負電圧 $-V_{CC}$ を、内部出力ノードOD1へ転送することができる。また、内部ノードND2が接地電圧GNDレベルに復帰したとき、電荷転送段XFN1において、電荷転送用トランジスタ(NQ1)を非導通状態に設定することができる。従って、電荷転送段XFN1において制御信号 ϕ_{CT} に従って電荷転送動作を制御することができ、応じて、無効電流を生じさせることなく、電荷転送段XFN1-XFNn各々において振幅 V_{CC} の電圧降下を生じさせることができる。

【0277】

この図24に示す電圧発生回路の動作については、図11に示す信号波形により、その動作波形が得られる。

【0278】

したがって、この図24に示す電圧発生回路においては電荷転送段XFN1-XFNnがすべてNチャネルMOSトランジスタで構成されており、また、内部ノードND2に基本の負電荷を生成する基本負電荷生成段も、NチャネルMOSトランジスタNQ1およびNQ2で構成されている。従って、この電圧発生回路において、各段は、すべて、NチャネルMOSトランジスタで構成されており、小占有面積かつ低消費電力で、所望の電圧レベルの負電圧 $-n \cdot V_{CC}$ を生成することができる。

【0279】

[変更例]

図25は、この発明の実施の形態12の変更例の電圧発生回路の構成を示す図である。図25に示す電圧発生回路においては、図24に示す電圧発生回路と以下の点でその構成が異なる。すなわち、NチャネルMOSトランジスタNQQ1のプリチャージ電圧供給ノードNDD2が、制御信号 ϕP を受ける入力ノードS1に接続される。この図25に示す電圧発生回路の他の構成は、図24に示す電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0280】

この図25に示す電圧発生回路の構成においても、内部ノードND2の電圧レベルは、接地電圧GND（制御信号 ϕP のLレベルに相当）と負電圧 $-VCC$ の間で変化する。したがって、最終出力ノードFODには、負電圧 $-n \cdot VCC$ が発生する。

【0281】

図25に示す電圧発生回路の動作波形は、図11に示す動作波形図により与えられる。この図25に示す電圧発生回路においては、接地電圧GNDが負電圧発生のために用いられていないために、先の実施の形態10と同様、回路構成を簡略化することができ、応じて製造コストを低減することができる。

【0282】

以上のように、この発明の実施の形態12に従えば、電荷転送段を、複数段縦続接続して最終出力ノードに最終負電圧を生成しており、容易に、所望の電圧レベルの負電圧を生成することができる。また、各電荷転送段は、NチャネルMOSトランジスタで構成されるため、回路構成を簡略化することができ、また、回路レイアウト面積を低減することができる。製造コストを低減することができる。

【0283】

〔実施の形態13〕

図26は、この発明の実施の形態13に従う電圧発生回路の構成を示す図である。この図26に示す電圧発生回路は、図16に示す電圧発生回路と以下の点で、その構成が異なる。すなわち、内部ノードND12に正電荷を供給する回路として、先の図20に示すように、PチャネルMOSトランジスタPQQ1およびPQQ2と容量素子CQ13およびC12が用いられる。このMOSトランジスタPQQ1のプリチャージ電圧供給ノードNDD12は、電源ノードPWに結合されて電源電圧VCCを受ける。この内部ノードND12に、正電荷を供給する回路構成は、図20に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0284】

また、図6に示す電圧発生回路の構成と同様、内部ノードND12と最終出力ノードFODの間に、N段の電荷転送段XFP1-XFPnが縦続接続される。また、各電荷転送段XFP1-XFPn-1の内部出力ノードODP1-ODPn-1には、容量素子CC1-CCn-1が接続される。これらの電荷転送段XFP1-XFPnおよび容量素子CC1-CCn-1の接続および動作は、図18に示す電圧発生回路のそれと同じであり、対応する部分には同一参照番号を付している。したがって、電荷転送段XFP1-XFPnは、交互に、内部ノードのプリチャージおよび電荷転送動作を行ない、また、容量素子CC1-CCn-1が、交互に対応の内部出力ノードODP1-ODPn-1のプリチャージおよび昇圧を実行する。

【0285】

内部ノードND12は、先の図20に示す電圧発生回路の構成と同様、電圧VCCおよび $2VCC$ の間でその電位が変化する。電荷転送段XFP1により、内部出力ノードODP1（OD11）に高電圧 $2VCC$ が伝達された後、制御信号 ϕPZ に従って、容量素子CC1により、この内部出力ノードODP1の電圧レベルがさらに電圧VCCだけ昇圧される。したがって、電荷転送段XFP1-XFPn-1により、それぞれの出力ノードに前段の出力ノード電圧に対して電圧VCCだけ昇圧した電圧が生成される。電荷転送段XFP(n-1)の出力ノードODPn-1は、その電圧レベルが、電圧 $n \cdot VCC$ と $(n+1) \cdot VCC$ との間で変化する。したがって、最終段の電荷転送段XFPnにより、最

終出力ノードFODに、高電圧 $(n+1)VCC$ が生成される。

【0286】

この図26に示す電圧発生回路の動作波形は、したがって、図19に示す電圧発生回路の動作波形で与えられ、同様、電源電圧 VCC から高電圧 $(n+1)VCC$ を生成することができる。

【0287】

この内部ノードND12に対して容量素子C12を配置して、内部ノードND12の電位を電源電圧 VCC と高電圧 $2 \cdot VCC$ との間で変化させることにより、電荷転送段XF P 1において、制御信号 ϕCPZ がHレベルとなったときに確実に転送用のMOSトランジスタ(PQ11)を非導通状態に維持して、確実に正電荷の逆流を防止し、また、制御信号 ϕCTZ に従って電荷転送段XF P 1を介して正電荷をノードND12から内部出力ノードODP1に転送することができる。

【0288】

電荷転送段XF P 1-XF P nは、PチャネルMOSトランジスタで構成されており、また、内部ノードND12への正電荷供給段も、PチャネルMOSトランジスタPQQ1およびPQQ2で構成されており、同一導電型のMOSトランジスタで構成される。したがって、回路構成を簡略化して、任意の電圧レベルの正の高電圧 $(n+1)VCC$ を生成することができる。

【0289】

【変更例】

図27は、この発明の実施の形態13の変更例の電圧発生回路の構成を示す図である。この図27に示す電圧発生回路は、以下の点で、図26に示す電圧発生回路とその構成が異なる。すなわち、プリチャージ電圧供給ノードNDD12が、制御信号 ϕPZ を受ける入力ノードS11に結合される。この図27に示す電圧発生回路の他の構成は、図26に示す電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0290】

この図27に示す電圧発生回路の構成においても、同様、内部ノードND12には、電圧 VCC および $2VCC$ の間で変化する電圧が生成される。したがって、図26に示す電圧発生回路と同様、最終出力ノードFODから、 $(n+1)VCC$ の電圧レベルの正の高電圧が発生される。

【0291】

この図27に示す電圧発生回路においては、高電圧 $(n+1)VCC$ を発生させるためには、電源電圧 VCC が利用されていない。したがって、回路構成を簡略化することができる。

【0292】

この図27に示す電圧発生回路の動作波形は、図26に示す電圧発生回路と同様、図19に示す動作波形により与えられる。

【0293】

以上のように、この発明の実施の形態13に従えば、内部ノードと最終出力ノードの間に電荷転送段を複数段縦続接続し、これらの電荷転送段の出力ノードのプリチャージおよび電荷転送を交互に行い、また、トランジスタ素子を、すべてPチャネルMOSトランジスタで構成しており、効率的に電荷を転送して正の高電圧を生成することができ、また回路占有面積および製造コストを低減することができる。

【産業上の利用可能性】

【0294】

この発明に係る電圧発生回路は、一般のLSI（大規模集積回路）において内部電圧を発生する回路として適用することができる。また、一般に、電源電圧および接地電圧と異なる電圧レベルの電圧を必要とする半導体装置に適用することができる。また、正および負の電圧を必要とする液晶表示装置の液晶駆動用の電圧発生回路としても利用することができる。

できる。この発明に係る電圧発生回路を利用することにより、最終製品または部品の低コスト化および低消費電力化を実現することができる。

【図面の簡単な説明】

【0295】

【図1】 この発明の実施の形態1に従う電圧発生回路の構成を示す図である。

【図2】 図1に示す電圧発生回路の動作を示す信号波形図である。

【図3】 この発明の実施の形態2に従う電圧発生回路の構成を示す図である。

【図4】 図3に示す回路の動作を示す信号波形図である。

【図5】 この発明の実施の形態3に従う内部電圧発生回路の構成を概略的に示す図である。

【図6】 図5に示す制御信号発生回路の構成を概略的に示す図である。

【図7】 図6に示す回路の動作を示すタイミング図である。

【図8】 この発明の実施の形態4に従う電圧発生回路の構成を示す図である。

【図9】 図8に示す回路の動作を示す信号波形図である。

【図10】 (A)は、この発明の実施の形態5に従う電圧発生回路の構成を示し、(B)は、図10(A)に示す電荷転送段の構成を示す図である。

【図11】 図10(A)および(B)に示す回路の動作を示す信号波形図である。

【図12】 図10(A)に示す制御信号を発生する回路の構成を概略的に示す図である。

【図13】 図12に示す回路の動作を示す信号波形図である。

【図14】 この発明の実施の形態6に従う電圧発生回路の構成を示す図である。

【図15】 図14に示す回路の動作を示す信号波形図である。

【図16】 この発明の実施の形態7に従う電圧発生回路の構成を示す図である。

【図17】 図16に示す回路の動作を示す信号波形図である。

【図18】 この発明の実施の形態8に従う電圧発生回路の構成を示す図である。

【図19】 図18に示す電圧発生回路の動作を示すタイミング図である。

【図20】 この発明の実施の形態9に従う電圧発生回路の構成を示す図である。

【図21】 図20に示す電圧発生回路の動作を示すタイミング図である。

【図22】 この発明の実施の形態10に従う電圧発生回路の構成を示す図である。

【図23】 この発明の実施の形態11に従う電圧発生回路の構成を示す図である。

【図24】 この発明の実施の形態12に従う電圧発生回路の構成を示す図である。

【図25】 この発明の実施の形態12の変更例の電圧発生回路の構成を示す図である。

【図26】 この発明の実施の形態13に従う電圧発生回路の構成を示す図である。

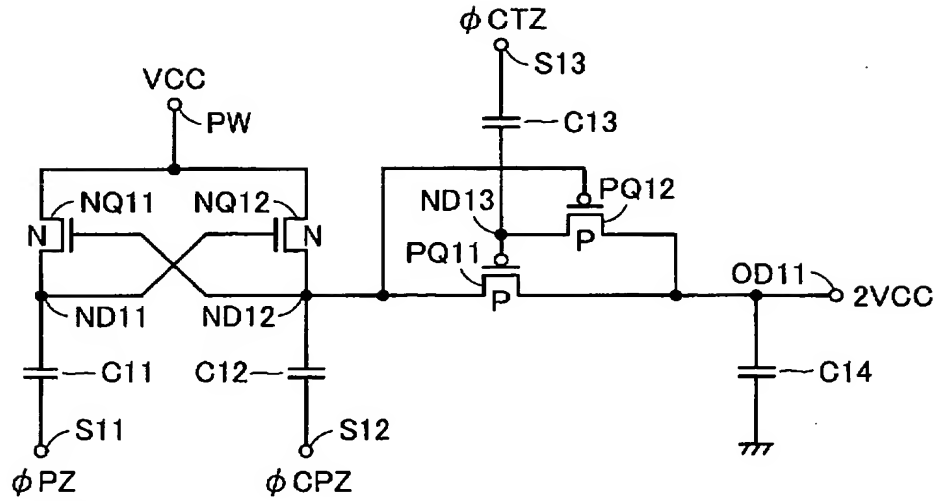
【図27】 この発明の実施の形態13の変更例の電圧発生回路の構成を示す図である。

【符号の説明】

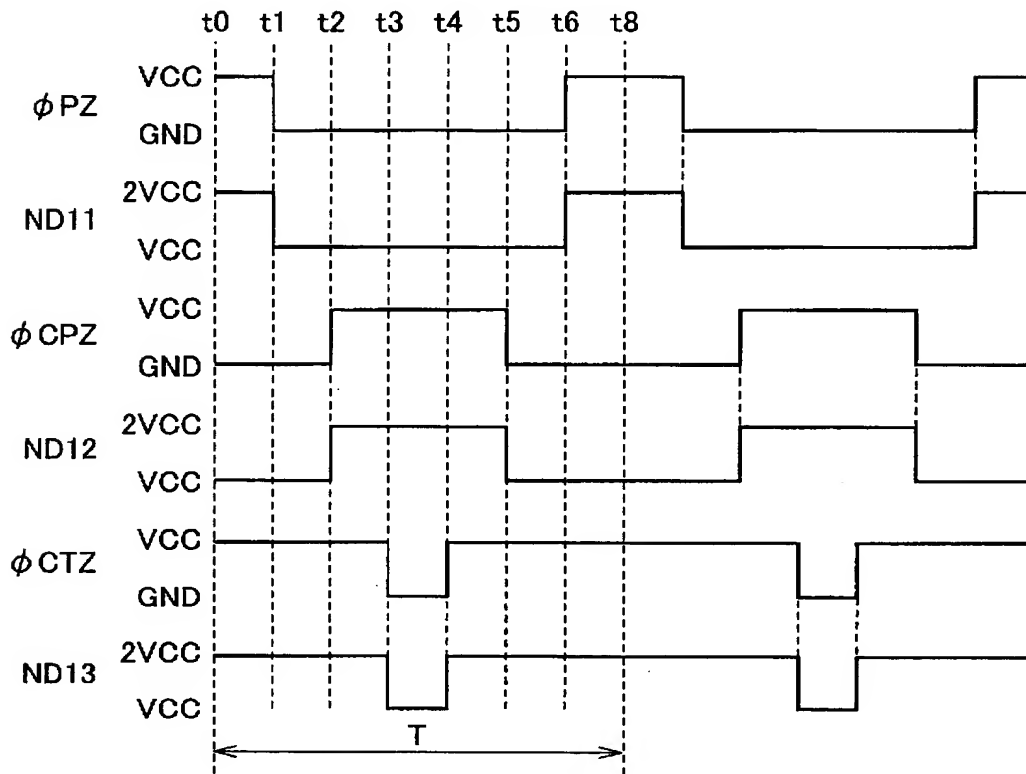
【0296】

PQ1, PQ2, PQ11, PQ12, PQa, PQb PチャネルMOSトランジスタ、NQ1, NQ2, NQ11, NQ12, NQ31, NQ32, NQa, NQb NチャネルMOSトランジスタ、C1, C2, C11, C12, C13, C20, C21 容量素子、40 電圧駆動段、XFN, XF N1-XF Nn, XFP, XFP1-XFP n 電荷転送段、CK1-CK n-1, CC1-CC n-1 容量素子、NQQ1, NQQ2 NチャネルMOSトランジスタ、PQQ1, PQQ2 PチャネルMOSトランジスタ、CQ1, CQ13 容量素子。

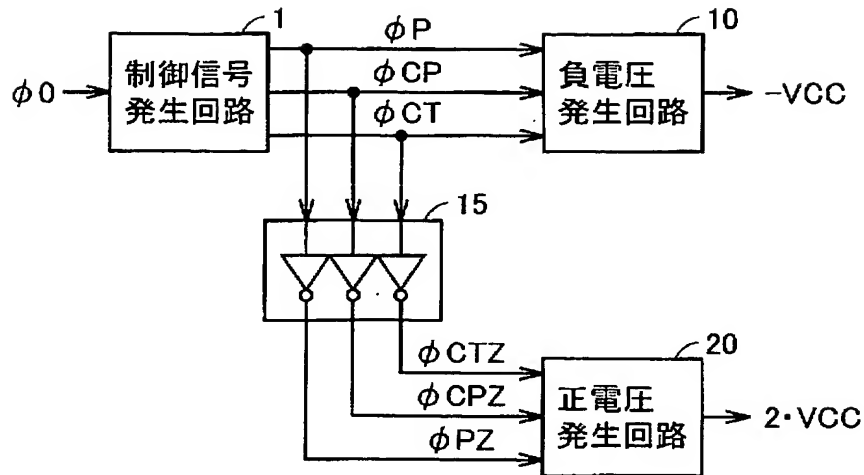
【図 3】



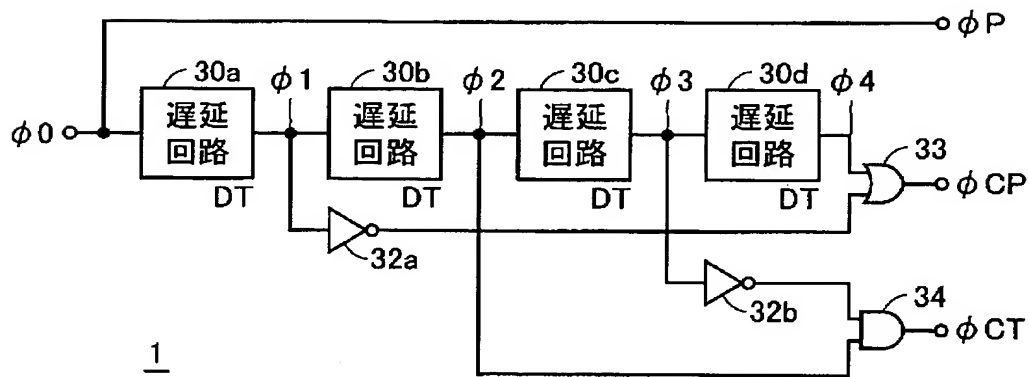
【図 4】



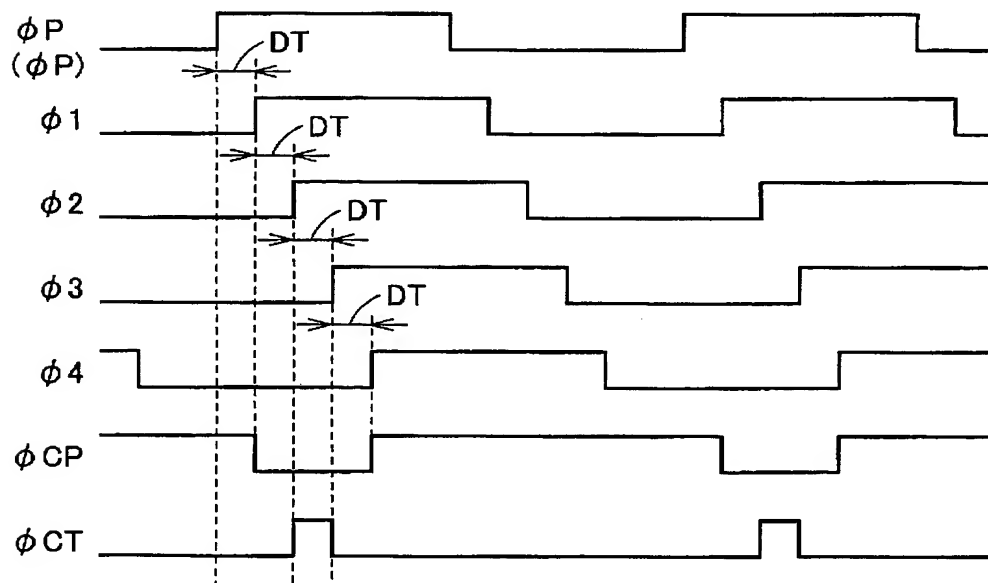
【図 5】



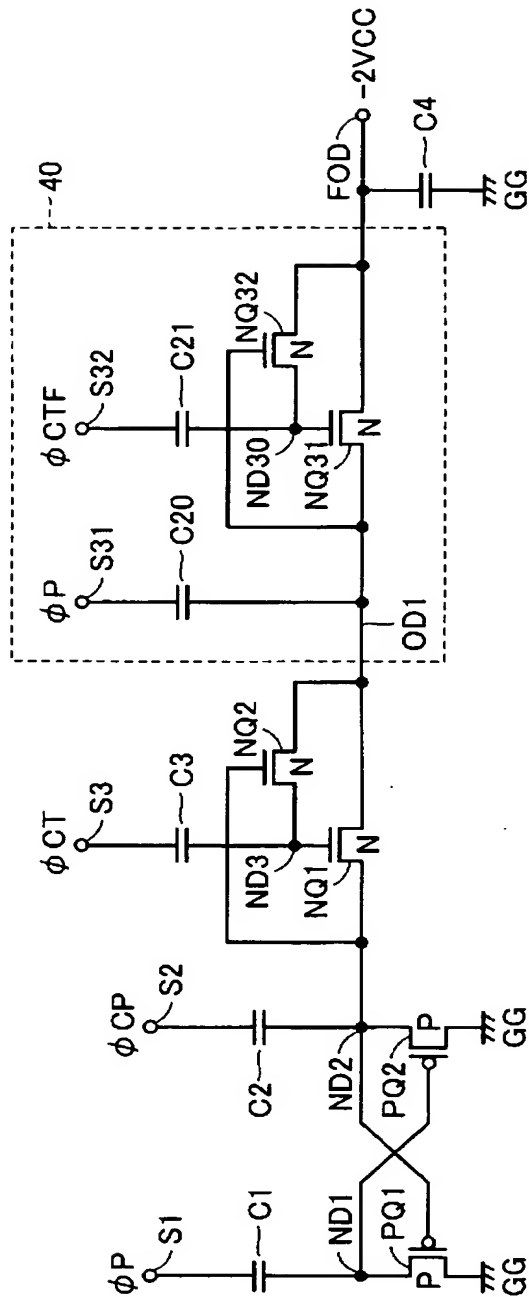
【図 6】



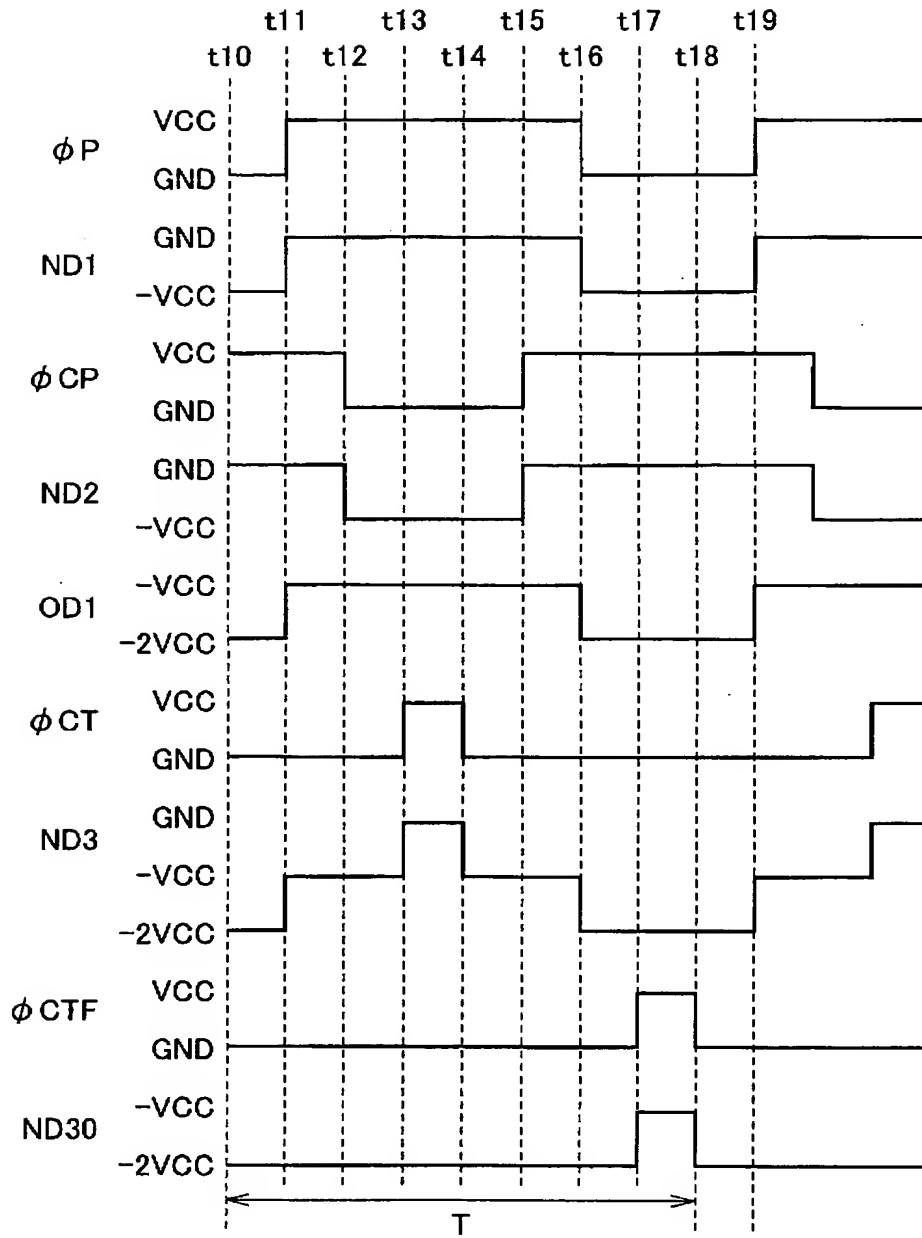
【図 7】



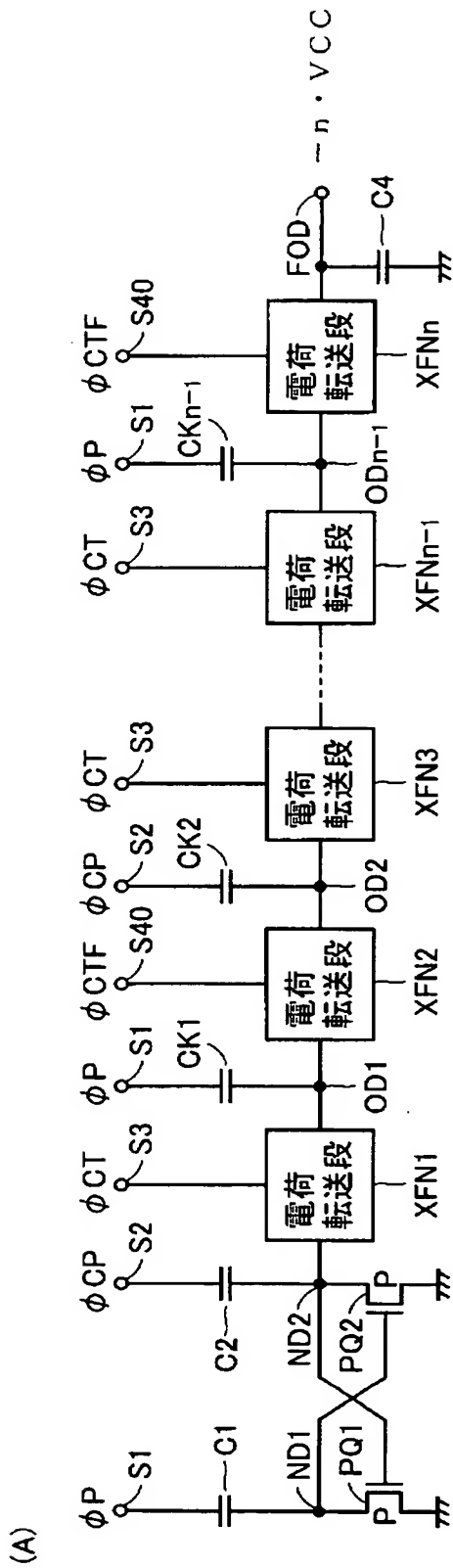
【図 8】



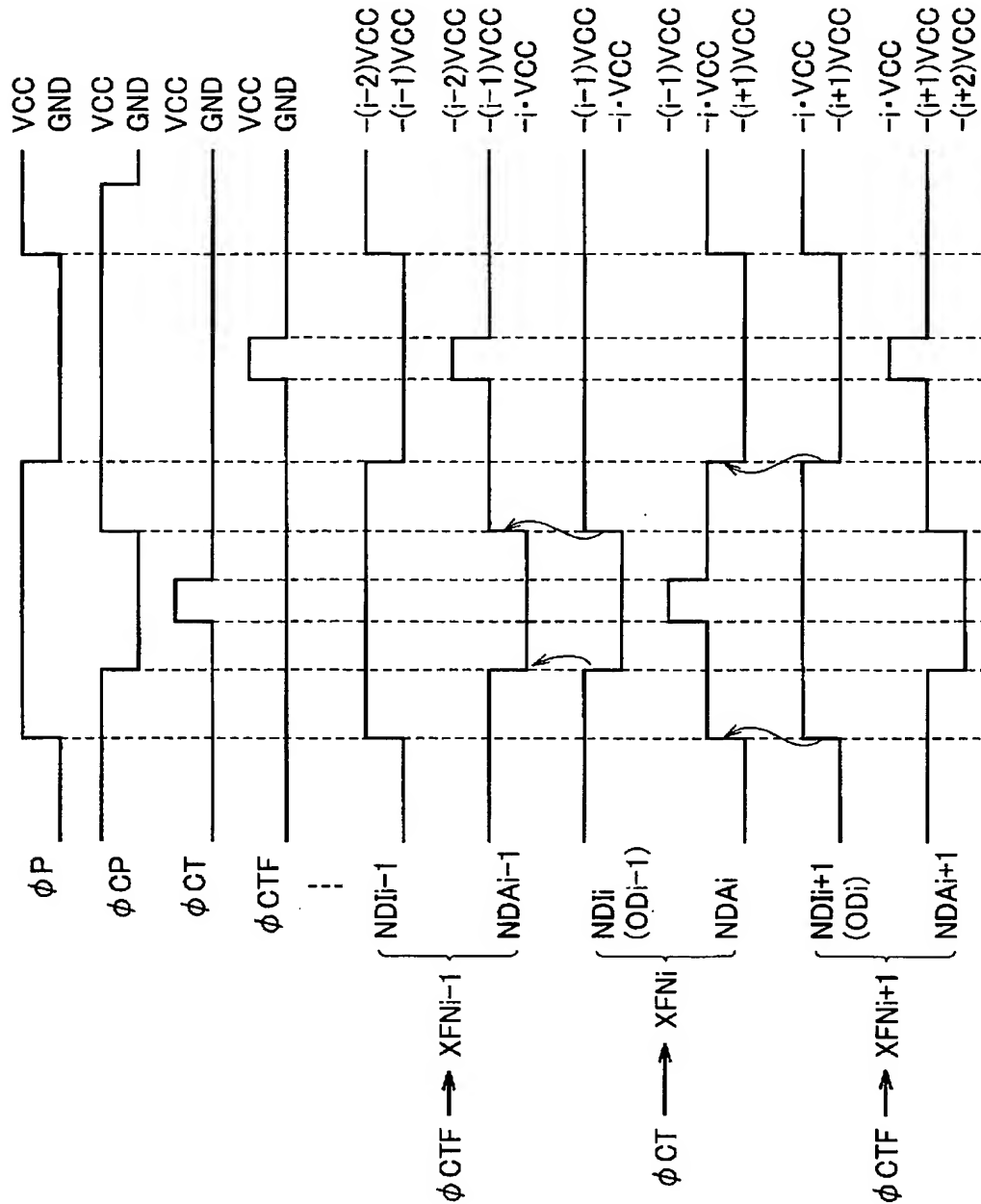
【図 9】



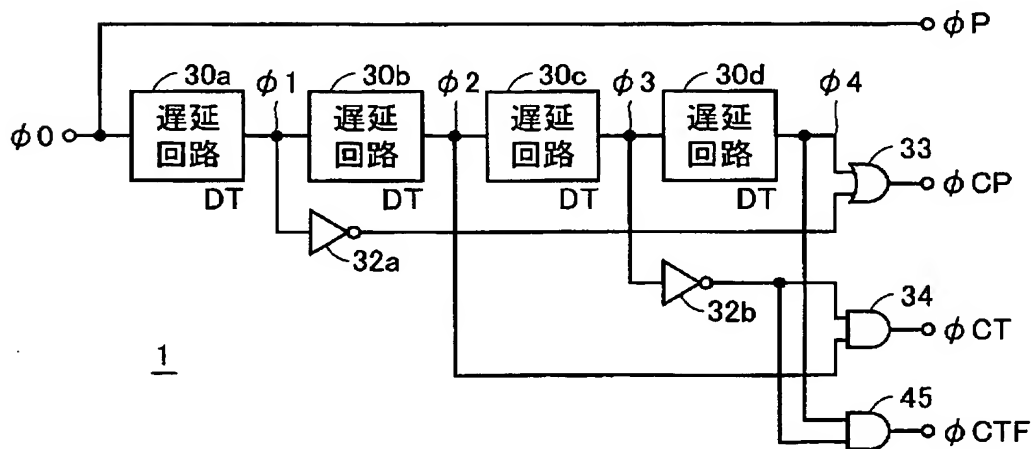
【図 10】



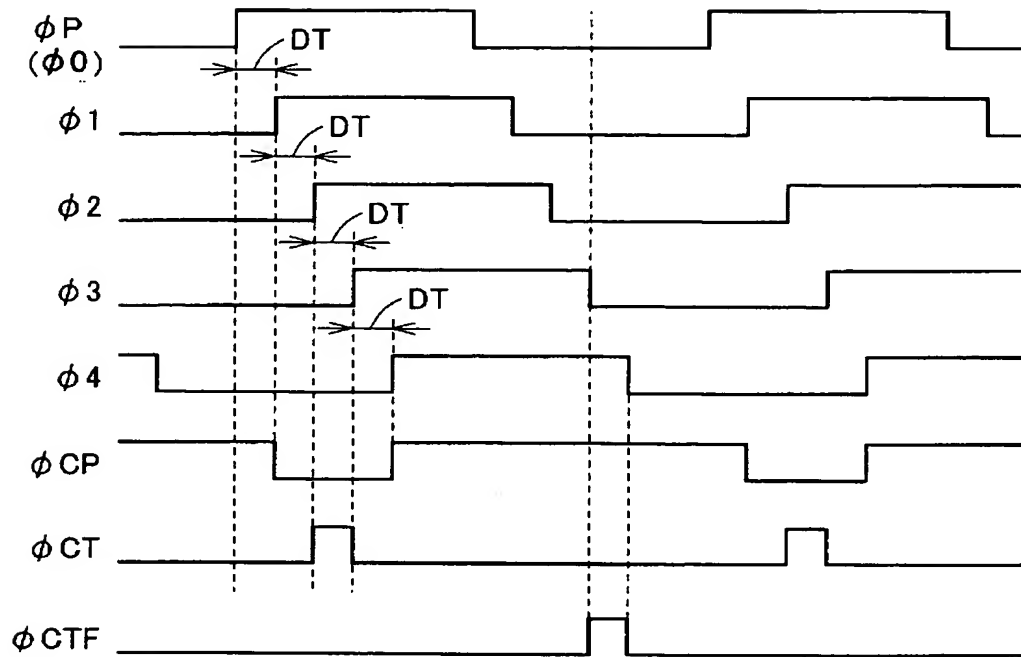
【図 11】



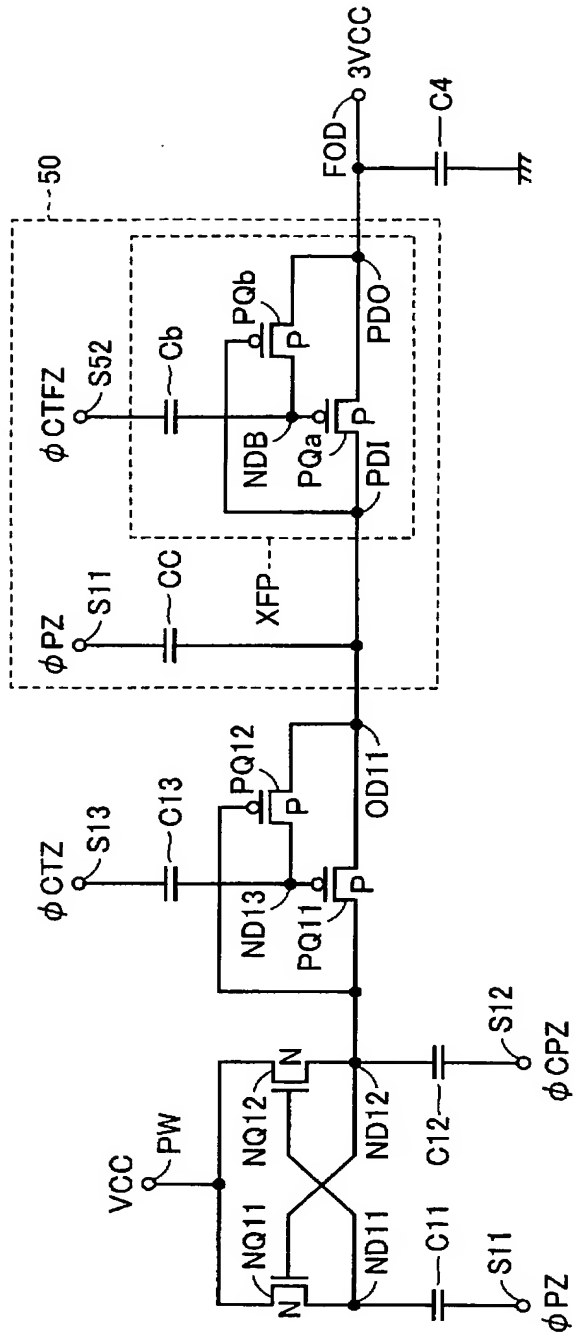
【図 12】



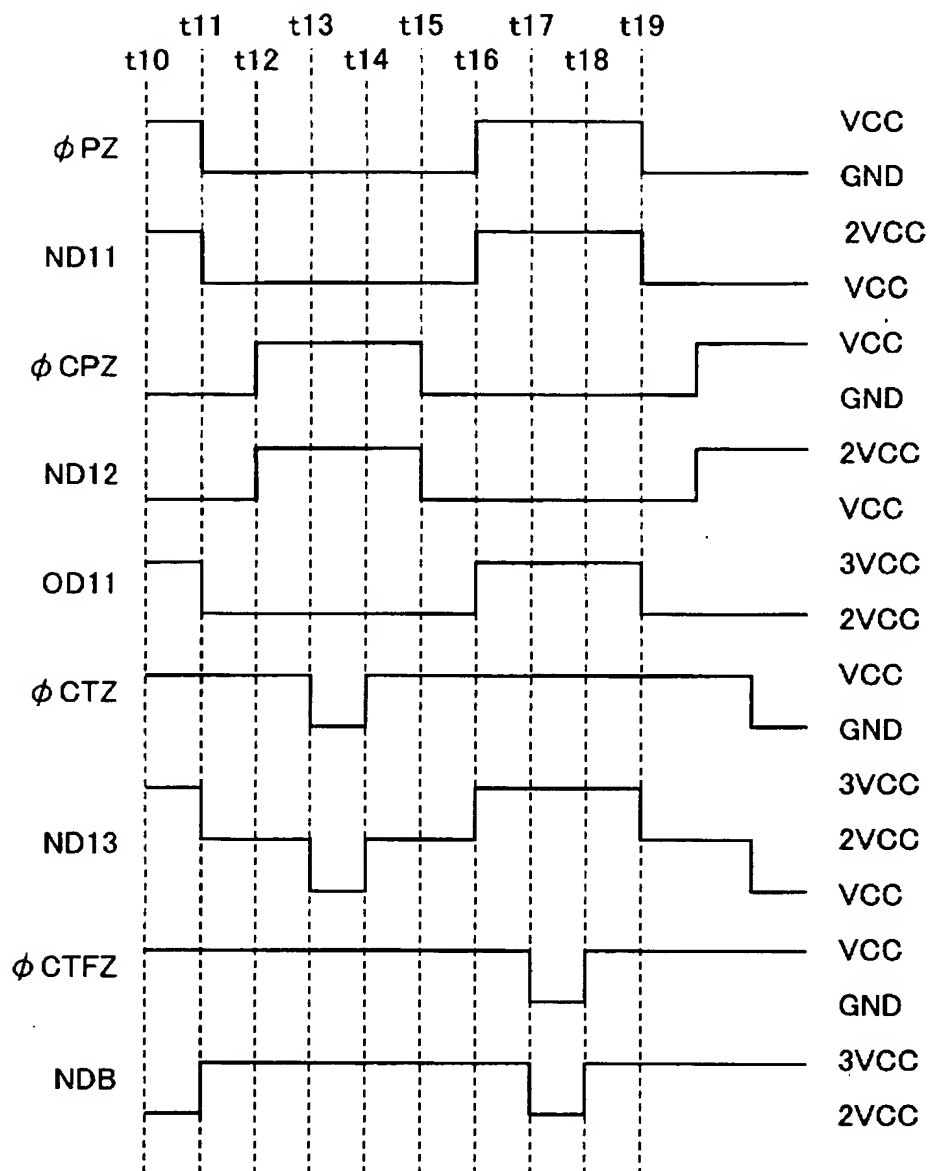
【図 13】



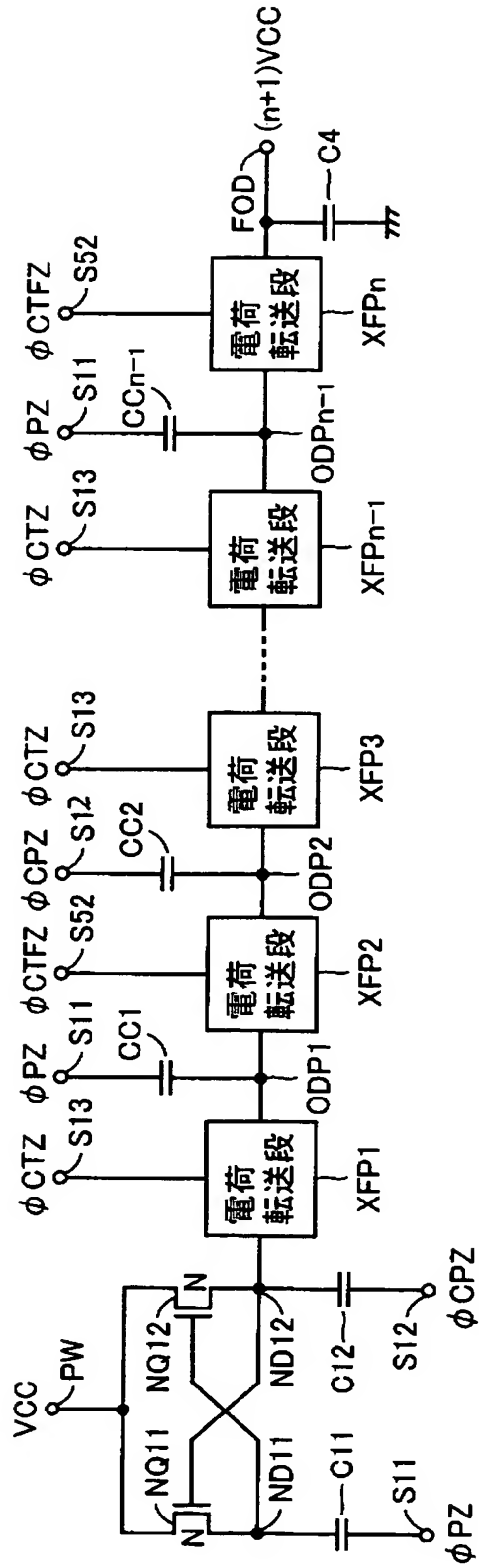
【図 14】



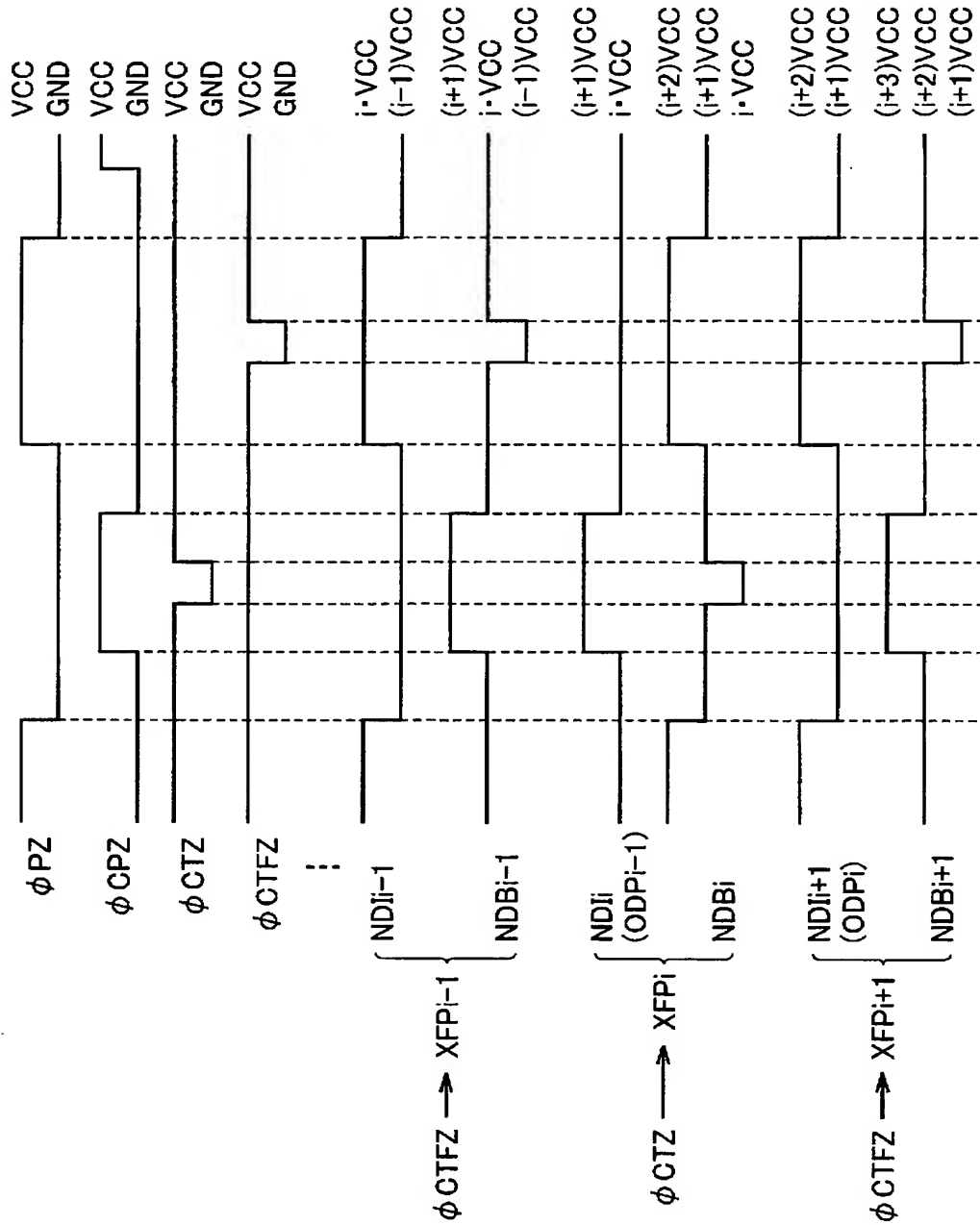
【図 15】



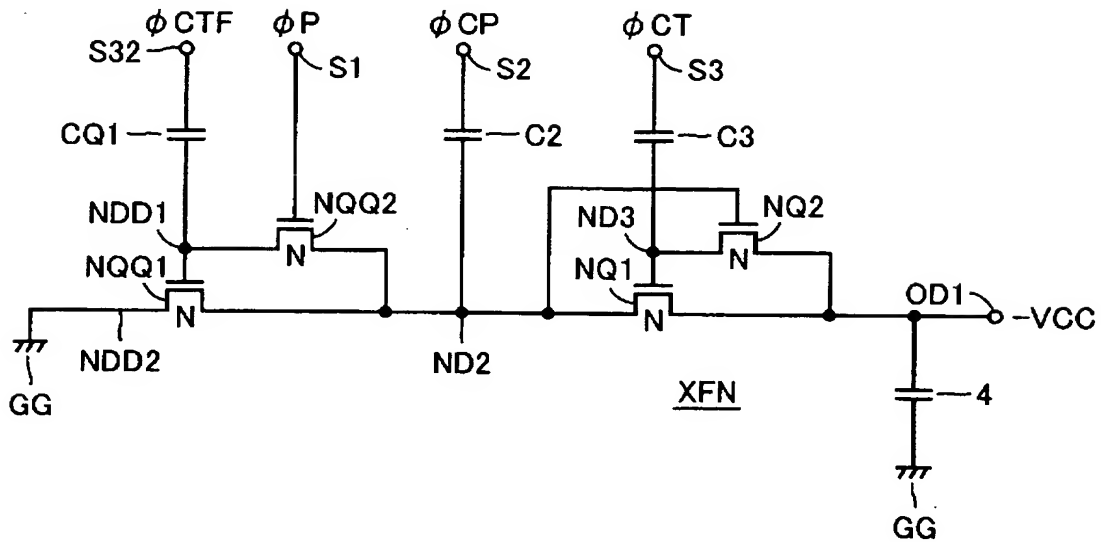
【図 16】



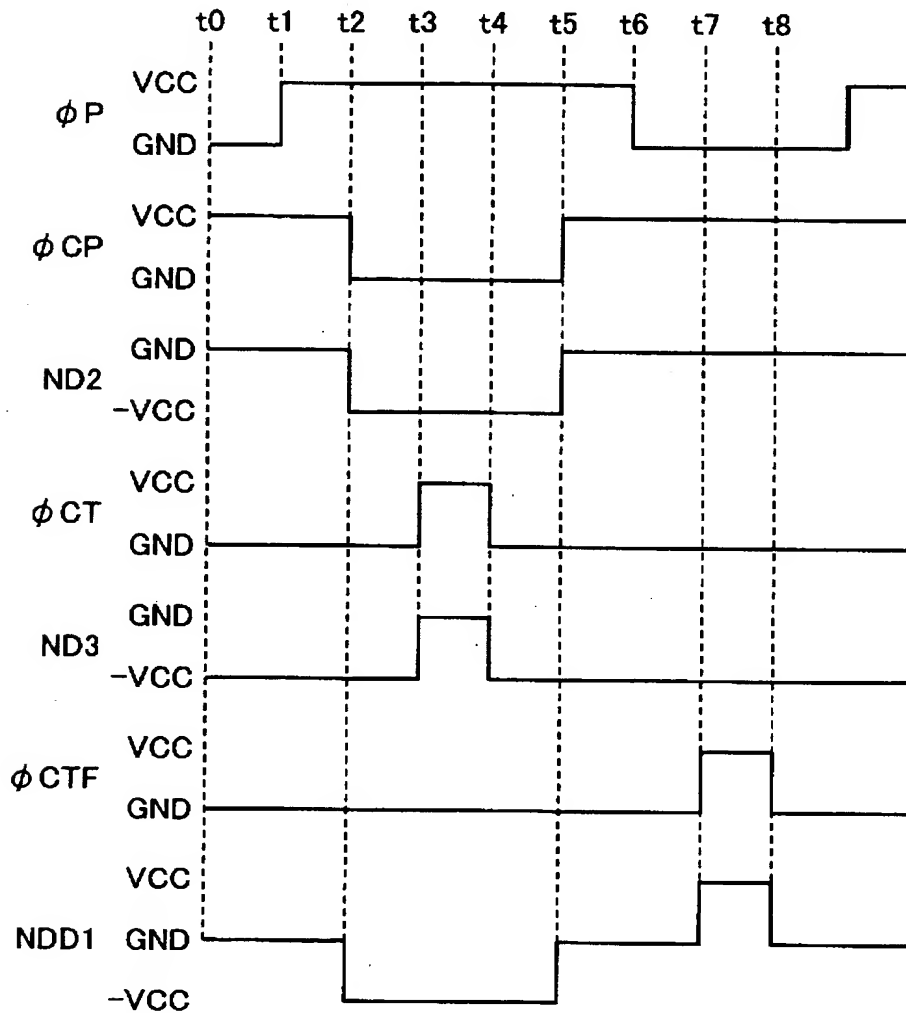
【図 17】



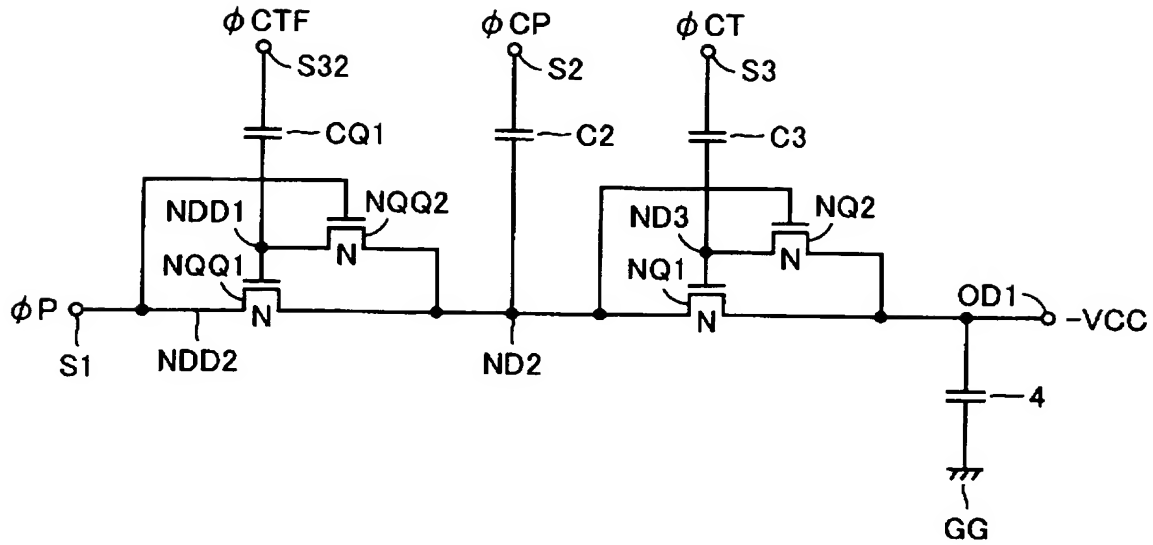
【図 18】



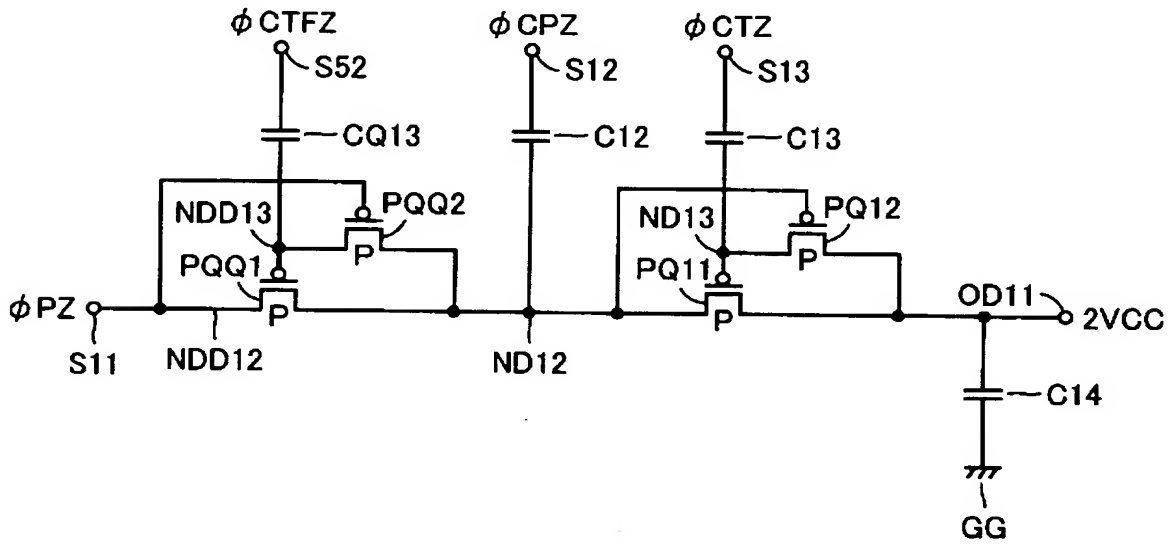
【図 19】



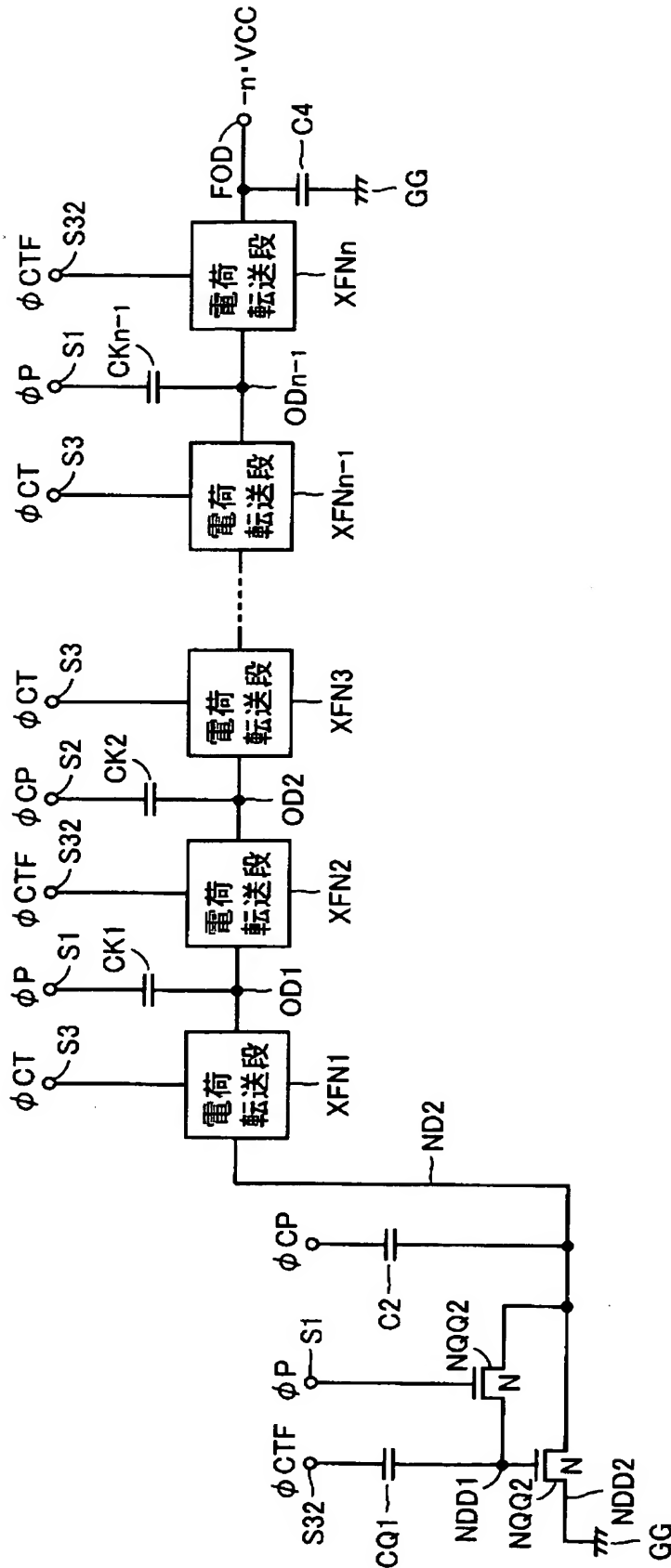
【図 22】



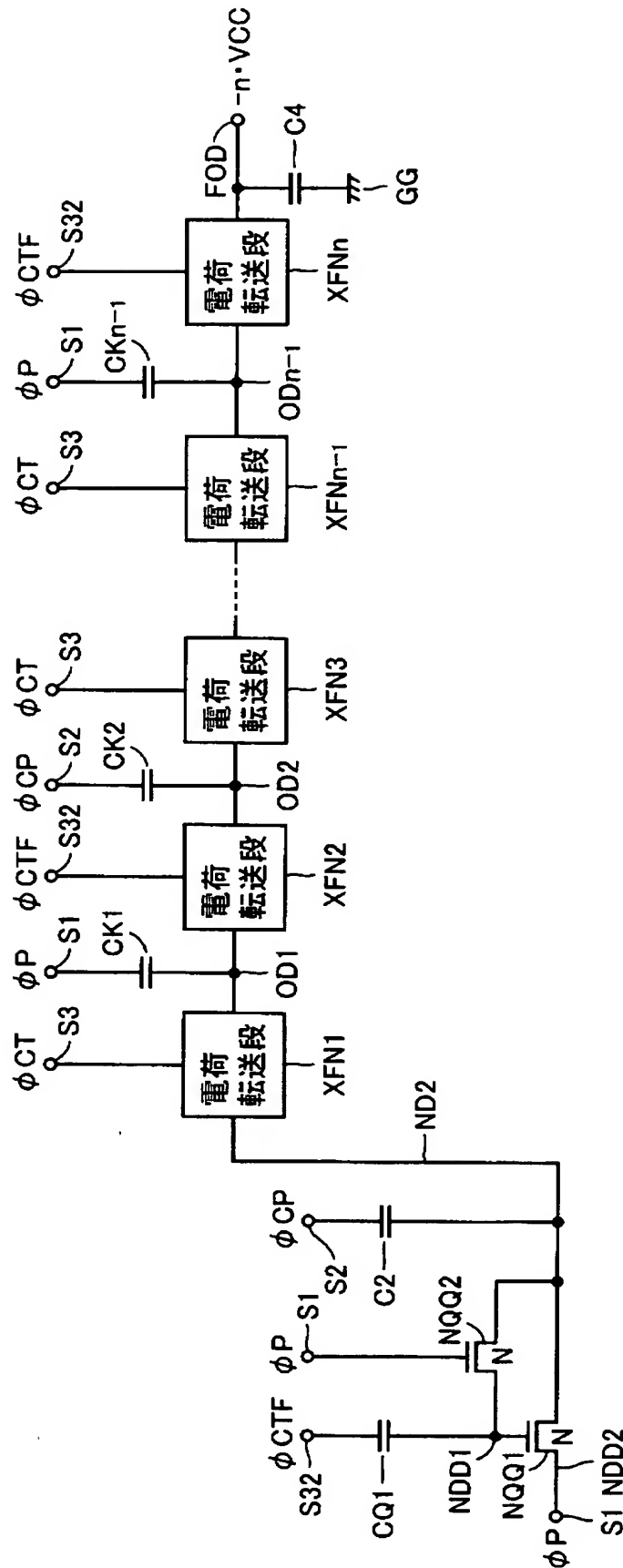
【図 23】



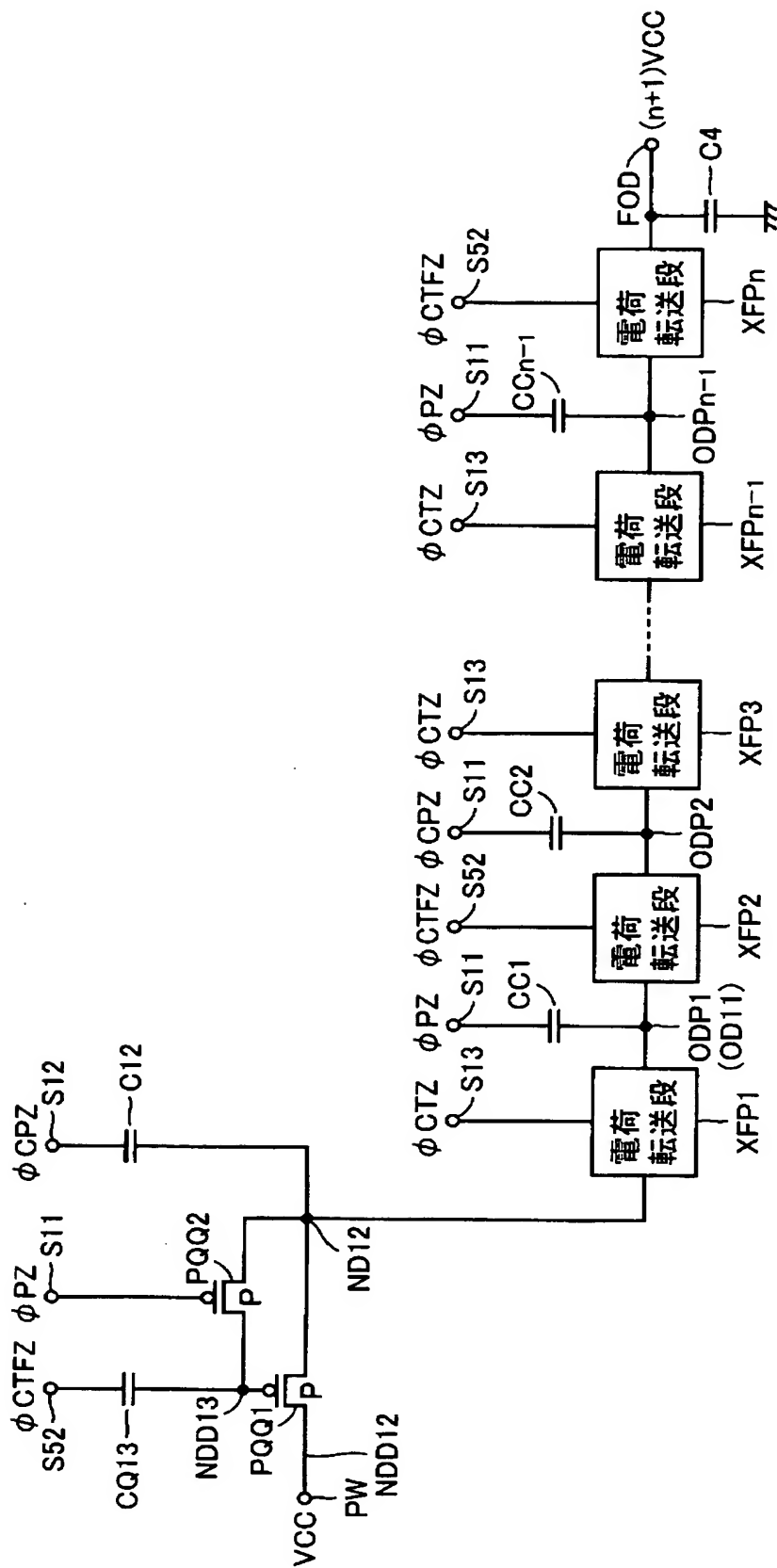
【図 24】



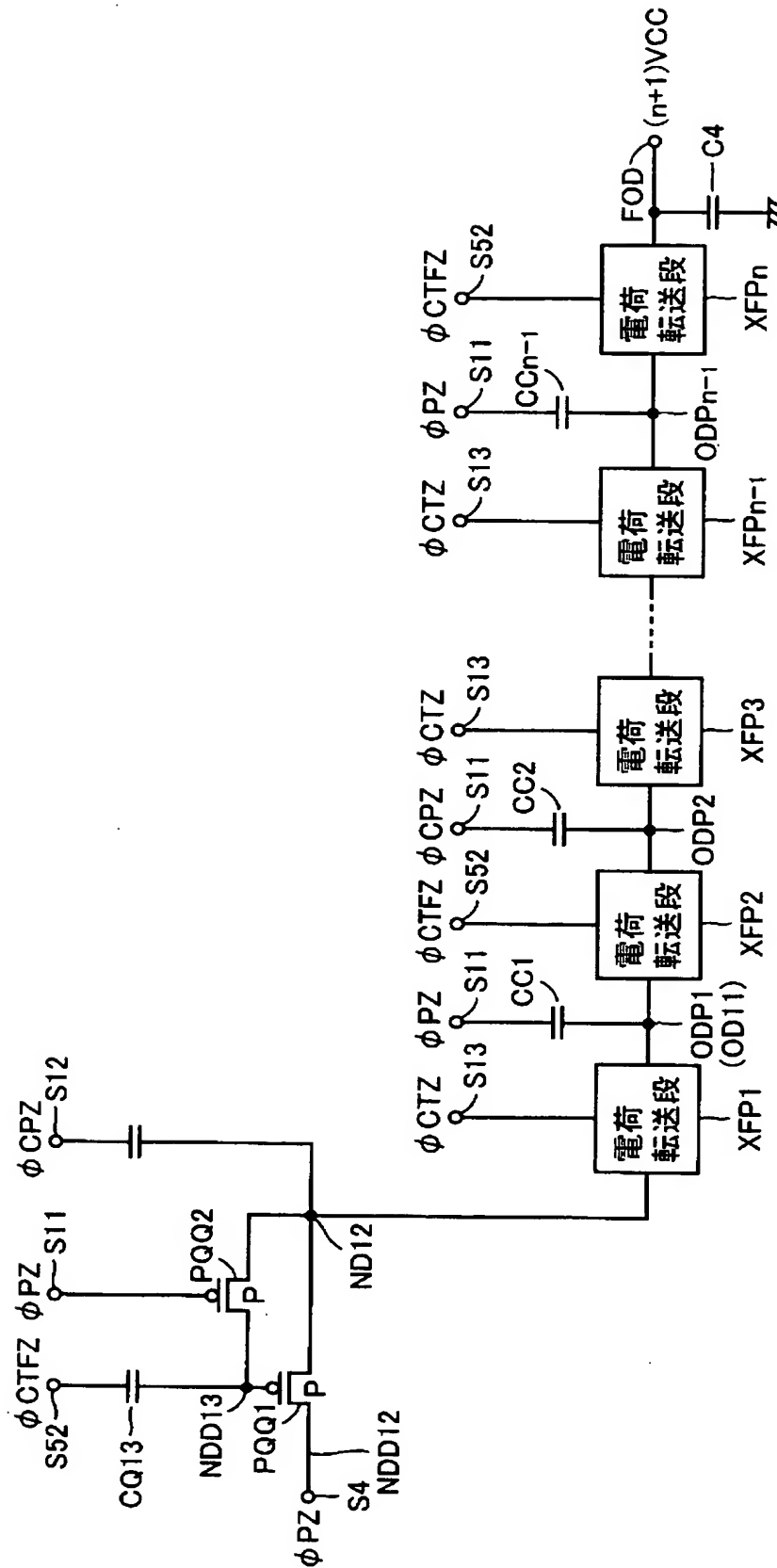
【図 25】



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】 無効電流を生じさせることなく効率的に電荷を使用して低消費電力で所望のレベルの内部電圧を発生する。

【解決手段】 基準電圧ノード（GG）と第1のノード（ND1）の間に第1のトランジスタ（PQ1）を配置し、そのゲートを第2のノード（ND2）に接続する。第2のノードと基準電圧ノードの間に第2のトランジスタ（PQ2）を配置し、そのゲートを第1のノードに接続する。第1および第2のノードへ、それぞれ第1および第2の制御信号（ ϕP , ϕCP ）を受ける容量素子（C1, C2）を介して電荷を供給する。さらに、第2のノードと出力ノードの間に第3のトランジスタ（NQ1）を配置し、そのゲートノード（ND3）を第3の容量素子（C3）を介して第3の制御信号 ϕCT に結合する。また、この出力ノードと第3のトランジスタのゲートノードの間に第4のトランジスタ（NQ2）を接続し、そのゲートを第2のノードに接続する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-419716
受付番号	50302077782
書類名	特許願
担当官	第七担当上席 0096
作成日	平成 15 年 12 月 22 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000006013
【住所又は居所】	東京都千代田区丸の内二丁目2番3号
【氏名又は名称】	三菱電機株式会社

【代理人】

申請人

【識別番号】	100064746
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	深見 久郎

【選任した代理人】

【識別番号】	100096781
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	堀井 豊

【選任した代理人】

【識別番号】	100098316
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	野田 久登

【選任した代理人】

【識別番号】	100109162
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	酒井 將行

【選任した代理人】

【識別番号】	100085132
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	森田 俊雄

【選任した代理人】

【識別番号】 100083703

【住所又は居所】 大阪府大阪市北区南森町 2 丁目 1 番 2 9 号 三井
住友銀行南森町ビル 深見特許事務所

【氏名又は名称】 仲村 義平



特願 2 0 0 3 - 4 1 9 7 1 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社